

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE****Applicant:** Takasuke Hayase, et al.**Examiner:** Unassigned**Serial No.:** To be assigned**Art Unit:** Unassigned**Filed:** Herewith**Docket:** 14757**For:** MANUFACTURING METHOD OF  
ACTIVE MATRIX SUBSTRATE**Dated:** July 11, 2001**Assistant Commissioner for Patents**  
Washington, DC 20231JC971 U.S. PTO  
09/903244**CLAIM OF PRIORITY**

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submit a certified copy of Japanese Patent Application 2000-209994, filed on July 11, 2001.

Respectfully submitted,

Paul J. Esatto, Jr.  
Registration No. 30,749Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, NY 11530  
(516) 742-4343

PJE:lf

**CERTIFICATE OF MAILING BY EXPRESS MAIL**

Express Mail Mailing Label Number: EL894227643 US

Date of Deposit: July 11, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. §1.10 on the date indicated above and is addressed to the Assistant Commissioner of Patents and Trademarks, Washington, D.C. 20231.

Dated: July 11, 2001  
Janet Grossman

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC971 U.S. PTO  
09/903244  
07/11/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年 7月11日

出 願 番 号  
Application Number:

特願2000-209994

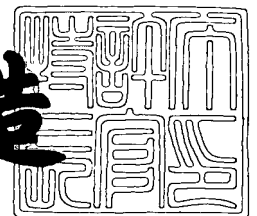
出 願 人  
Applicant(s):

日本電気株式会社  
鹿児島日本電気株式会社

2001年 4月20日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3032053

【書類名】 特許願  
 【整理番号】 74610479  
 【あて先】 特許庁長官殿  
 【国際特許分類】 G02F 1/136  
 G09F 9/30  
 H01L 29/786  
 H01L 21/336

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日  
 本電気株式会社内

【氏名】 早瀬 貴介

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日  
 本電気株式会社内

【氏名】 田中 宏明

【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0  
 鹿児島日本電気株式会社内

【氏名】 城戸 秀作

【発明者】

【住所又は居所】 鹿児島県出水市大野原町 2 0 8 0  
 鹿児島日本電気株式会社内

【氏名】 原野 俊彦

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【特許出願人】

【識別番号】 000181284

【氏名又は名称】 鹿児島日本電気株式会社

【代理人】

【識別番号】 100082935

【弁理士】

【氏名又は名称】 京本 直樹

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100082924

【弁理士】

【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 008279

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9115699

【包括委任状番号】 9114163

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス基板の製造方法

【特許請求の範囲】

【請求項 1】 絶縁基板上に薄膜トランジスタ (T F T) を形成する方法であって、前記 T F T を構成する材料膜を前記絶縁基板上に積層して成膜する工程と、複数の厚さを有するようにパターニングしたレジストパターンを前記材料膜の最上層に形成する工程と、前記レジストパターンをエッチングマスクにして前記積層した材料膜の第 1 のエッチングを行い、次に、前記レジストパターンのうち膜厚の薄い領域をハロゲン化合物ガスと酸素ガスとをプラズマ励起した活性種による異方性エッチングにより除去する工程と、前記異方性エッチング後に残る前記レジストパターンの膜厚の厚い領域をエッチングマスクにして前記積層した材料膜の第 2 のエッチングを行う工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 2】 絶縁基板上に一の導電体材料から成る第 1 の導電層をパターニングして形成し前記絶縁基板および第 1 の導電層を被覆して絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜および他の導電体材料から成る第 2 の導電層用導電膜を順次積層する工程と、

膜厚の厚い領域の第 1 部分と膜厚の薄い領域の第 2 部分と開口部とを有するレジストパターンを前記第 2 の導電層用導電膜上に形成する工程と、

前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記第 1 の導電層の表面に達するコンタクト孔を形成する工程と、前記第 2 部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、

前記エッチバック工程後に残存する前記第 1 部分をエッチングマスクにしたエッチングで前記第 2 の導電層用導電膜、オーミックコンタクト用半導体薄膜、半導体薄膜をパターニングする工程と、

前記レジストパターンを除去した後、前記第 2 の導電層用導電膜のパターニングで形成される第 2 の導電層と前記第 1 の導電層とを前記コンタクト孔を通して接続する第 3 の導電層をパターニングして形成する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 3】 絶縁基板上に一の導電体材料から成る第 1 の導電層をパターンニングして形成し前記絶縁基板および第 1 の導電層を被覆して絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜および前記一の導電体材料から成る第 2 の導電層用導電膜を順次積層する工程と、

膜厚の厚い領域の第 1 部分と膜厚の薄い領域の第 2 部分と開口部とを有するレジストパターンを前記第 2 の導電層用導電膜上に形成する工程と、

前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記絶縁膜の表面に達するコンタクト孔を形成する工程と、前記第 2 部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、

前記エッチバック工程後に残存する前記第 1 部分をエッチングマスクにして前記第 2 の導電層用導電膜をエッチングし第 2 の導電層を形成する工程と、

前記第 2 の導電層用導電膜のエッチング後、前記第 1 部分と前記オーミックコンタクト用半導体薄膜あるいは半導体薄膜をエッチングマスクにして前記絶縁膜をエッチングし前記コンタクト孔を前記第 1 の導電層の表面まで貫通させる工程と、

前記第 1 部分をエッチングマスクにして前記オーミックコンタクト用半導体薄膜と半導体薄膜とを順次エッチングする工程と、

前記レジストパターンを除去した後、前記第 2 の導電層と前記第 1 の導電層とを前記貫通したコンタクト孔を通して接続する第 3 の導電層をパターンニングして形成する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 4】 絶縁基板上に一の導電体材料から成る第 1 の導電層をパターンニングして形成し前記絶縁基板および第 1 の導電層を被覆して絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜、他の導電体材料から成る保護導電膜、一の導電体材料から成る第 2 の導電層用導電膜を順次積層する工程と、

膜厚の厚い領域の第 1 部分と膜厚の薄い領域の第 2 部分と開口部とを有するレジストパターンを前記第 2 の導電層用導電膜上に形成する工程と、

前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記オーミックコンタクト用半導体薄膜あるいは半導体薄膜に達するコンタクト

孔を形成する工程と、前記第 2 部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、

前記エッチバック工程後に残存する前記第 1 部分をエッチングマスクにして前記第 2 の導電層用導電膜をエッチングし前記保護導電膜の表面を露出させる工程と、

前記第 2 の導電層用導電膜のエッチング後、前記第 1 部分と前記保護導電膜をエッチングマスクにして残存するオーミックコンタクト用半導体薄膜あるいは半導体薄膜および前記絶縁膜をドライエッチングし前記コンタクト孔を前記第 1 の導電層の表面まで貫通させる工程と、

前記第 1 部分をエッチングマスクにして前記保護導電膜、オーミックコンタクト用半導体薄膜および半導体薄膜を順次エッチングし前記エッチングした保護導電膜と第 2 の導電層用導電膜とで第 2 の導電層を形成する工程と、

前記レジストパターンを除去した後、前記第 2 の導電層と前記第 1 の導電層とを前記貫通したコンタクト孔を通して接続する第 3 の導電層をパターンニングして形成する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 5】 絶縁基板上に複数のゲートバス配線とドレインバス配線とがマトリクス状に配設され、それらの交差領域に T F T を有する画素部を備え、前記ゲートバス配線の端あるいはドレインバス配線の端にそれぞれ連結され外部の信号を受けるゲート端子およびドレイン端子を備え、前記外部の信号の過電圧あるいは過電流から前記画素部を保護する T F T で構成された保護回路部を備えるアクティブマトリクス基板の製造方法であって、

一の導電体材料をパターンニングして前記ゲートバス配線と前記 T F T のゲート電極とを形成する工程と、前記絶縁基板、ゲートバス配線およびゲート電極を被覆してゲート絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜および他の導電体材料から成るソース・ドレイン用導電膜を順次積層した後、膜厚の厚い領域の第 1 部分と膜厚の薄い領域の第 2 部分と開口部とを有するレジストパターンを前記ソース・ドレイン用導電膜上に形成する工程と、

前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に

前記ゲートバス配線の表面、前記ゲートバス配線と同時に形成する第1の導電層の表面あるいは前記保護回路部を構成するTFTのゲート電極の表面に達するコンタクト孔を形成する工程と、

前記第2部分をエッチバックで除去し残存する前記第1部分をエッチングマスクにしたエッチングで前記ソース・ドレイン用導電膜、オーミックコンタクト用半導体薄膜、半導体薄膜を順次パターニングする工程と、

前記レジストパターンを除去した後、前記パターニングしたソース・ドレイン用導電膜の表面に被着し且つ前記コンタクト孔を通して前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極に接続する導電体膜を形成する工程と、

前記導電体膜を少なくとも画素電極とするパターンにパターニングし前記パターニングした導電体膜をマスクに、再度、前記ソース・ドレイン用導電膜とオーミックコンタクト用半導体薄膜をエッチングし、前記ドレインバス配線、前記ドレインバス配線と同時に形成する第2の導電層および前記TFTのソース・ドレイン電極を形成し、前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極と、前記ドレインバス配線、前記第2の導電層あるいは前記保護回路部を構成するTFTのソース・ドレイン電極と、を前記パターニングした導電体膜で電気接続する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項6】 絶縁基板上に複数のゲートバス配線とドレインバス配線とがマトリクス状に配設され、それらの交差領域にTFTを有する画素部を備え、前記ゲートバス配線の端あるいはドレインバス配線の端にそれぞれ連結され外部の信号を受けるゲート端子およびドレイン端子を備え、前記外部の信号の過電圧あるいは過電流から前記画素部を保護するTFTで構成された保護回路部を備えるアクティブマトリクス基板の製造方法であって、

一の導電体材料をパターニングして前記ゲートバス配線と前記TFTのゲート電極とを形成する工程と、前記絶縁基板、ゲートバス配線およびゲート電極を被覆してゲート絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜および前記一の導電体材料から成るソース・ドレイン用導電膜を順次積層した後、膜厚の



厚い領域の第1部分と膜厚の薄い領域の第2部分と開口部とを有するレジストパターンを前記ソース・ドレイン用導電膜上に形成する工程と、

前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記ゲート絶縁膜の表面に達するコンタクト孔を形成する工程と、

前記第2部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、前記エッチバック工程後に残存する前記第1部分をエッチングマスクにして前記ソース・ドレイン用導電膜をエッチングする工程と、

前記ソース・ドレイン用導電膜のエッチング後、前記第1部分と前記オーミックコンタクト用半導体薄膜あるいは半導体薄膜をエッチングマスクにして前記ゲート絶縁膜をエッチングし前記コンタクト孔を前記ゲートバス配線の表面、前記ゲートバス配線と同時に形成する第1の導電層の表面あるいは前記保護回路部を構成するTFTのゲート電極の表面まで貫通させる工程と、

前記第1部分をエッチングマスクにしたエッチングで前記オーミックコンタクト用半導体薄膜、半導体薄膜を順次パターニングする工程と、

前記レジストパターンを除去した後、前記パターニングしたソース・ドレイン用導電膜の表面に被着し且つ前記コンタクト孔を通して前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極に接続する導電体膜を形成する工程と、

前記導電体膜を少なくとも画素電極とするパターンにパターニングし前記パターニングした導電体膜をマスクに、再度、前記ソース・ドレイン用導電膜とオーミックコンタクト用半導体薄膜をエッチングし、前記ドレインバス配線、前記ドレインバス配線と同時に形成する第2の導電層および前記TFTのソース・ドレイン電極を形成し、前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極と、前記ドレインバス配線、前記第2の導電層あるいは前記保護回路部を構成するTFTのソース・ドレイン電極と、を前記パターニングした導電体膜で電気接続する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項7】 絶縁基板上に複数のゲートバス配線とドレインバス配線とがマトリクス状に配設され、それらの交差領域にTFTを有する画素部を備え、前

記ゲートバス配線の端あるいはドレインバス配線の端にそれぞれ連結され外部の信号を受けるゲート端子およびドレイン端子を備え、前記外部の信号の過電圧あるいは過電流から前記画素部を保護するTFTで構成された保護回路部を備えるアクティブマトリクス基板の製造方法であって、

一の導電体材料をパターニングして前記ゲートバス配線と前記TFTのゲート電極とを形成する工程と、前記絶縁基板、ゲートバス配線およびゲート電極を被覆してゲート絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜、他の導電体材料から成る保護導電膜および前記一の導電体材料から成るソース・ドレイン用導電膜を順次積層した後、膜厚の厚い領域の第1部分と膜厚の薄い領域の第2部分と開口部とを有するレジストパターンを前記ソース・ドレイン用導電膜上に形成する工程と、

前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記オーミックコンタクト用半導体薄膜あるいは前記半導体薄膜に達するコンタクト孔を形成する工程と、

前記第2部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、前記エッチバック工程後に残存する前記第1部分をエッチングマスクにして前記ソース・ドレイン用導電膜をエッチングし前記保護導電膜の表面を露出させる工程と、

前記ソース・ドレイン用導電膜のエッチング後、前記第1部分と前記保護導電膜をエッチングマスクにして残存するオーミックコンタクト用半導体薄膜あるいは半導体薄膜および前記ゲート絶縁膜をエッチングし前記コンタクト孔を前記ゲートバス配線の表面、前記ゲートバス配線と同時に形成する第1の導電層の表面あるいは前記保護回路部を構成するTFTのゲート電極の表面まで貫通させる工程と

前記第1部分をエッチングマスクにして前記保護導電膜、オーミックコンタクト用半導体薄膜および半導体薄膜を順次エッチングする工程と、

前記レジストパターンを除去した後、前記パターニングしたソース・ドレイン用導電膜の表面に被着し且つ前記コンタクト孔を通して前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極に接続す

る導電体膜を形成する工程と、

前記導電体膜を少なくとも画素電極とするパターンにパターニングし前記パターニングした導電体膜をマスクに、再度、前記ソース・ドレイン用導電膜とオーミックコンタクト用半導体薄膜をエッチングし、前記ドレインバス配線、前記ドレインバス配線と同時に形成する第2の導電層および前記TFTのソース・ドレイン電極を形成し、前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極と、前記ドレインバス配線、前記第2の導電層あるいは前記保護回路部を構成するTFTのソース・ドレイン電極と、を前記パターニングした導電体膜で電気接続する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項8】 前記第2部分のエッチバックは、ハロゲン化合物ガスと酸素ガスとをプラズマ励起した活性種による異方性エッチングで行うことを特徴とする請求項2から請求項7のうち1つの請求項に記載のアクティブマトリクス基板の製造方法。

【請求項9】 フォトリソグラフィ工程で使用するフォトマスクのマスクパターンにおいて遮光部と半透光部と透光部とを形成し、1回の露光で前記遮光部パターンと半透光部パターンと透光部パターンとをレジスト膜（感光性有機膜）に転写照射した後、現像を通して前記レジストパターンを形成することを特徴とする請求項1から請求項8のうち1つの請求項に記載のアクティブマトリクス基板の製造方法。

【請求項10】 フォトリソグラフィ工程の露光において互いに異なるマスクパターンを有する2種以上のフォトマスクを用いてレジスト膜の所定領域に連続露光照射した後、現像を通して前記レジストパターンを形成することを特徴とする請求項1から請求項8のうち1つの請求項に記載のアクティブマトリクス基板の製造方法。

【請求項11】 請求項10における連続露光照射において、1回目の露光照射での露光量が2回目の露光照射での露光量と異なることを特徴とするアクティブマトリクス基板の製造方法。

【請求項12】 前記レジスト膜は、互いに異なる露光感度を有する2層の

レジスト膜で構成されることを特徴とする請求項 9、請求項 10 または請求項 11 記載のアクティブマトリクス基板の製造方法。

【請求項 13】 アクティブマトリクス基板のゲート端子の形成において、TFT のゲート電極と一体のゲートバス配線を配設し、前記ゲートバス配線の端部に接続する前記パターンニングした導電体膜を直接に又は第 2 の導電層を介して前記アクティブマトリクス基板の周辺位置まで引き出し、全面をパッシベーション膜で被覆した後、前記周辺位置まで引き出した前記パターンニングした導電体膜に開口部を設けて前記ゲート端子とすることを特徴とする請求項 5、請求項 6 または請求項 7 記載のアクティブマトリクス基板の製造方法。

【請求項 14】 アクティブマトリクス基板のドレイン端子の形成において、TFT のドレイン電極と一体のドレインバス配線を配設し、前記ドレインバス配線の端部に接続する前記パターンニングした導電体膜を直接に又は第 1 の導電層を介して前記アクティブマトリクス基板の周辺位置まで引き出し、全面をパッシベーション膜で被覆した後、前記周辺位置まで引き出した前記パターンニングした導電体膜上のパッシベーション膜に開口部を設けて前記ドレイン端子とすることを特徴とする請求項 5、請求項 6 または請求項 7 記載のアクティブマトリクス基板の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、薄膜トランジスタ (TFT) を用いた液晶表示パネルの製造方法に関し、特にアクティブマトリクス基板の製造方法に関する。

##### 【0002】

#### 【従来の技術】

液晶表示パネル等に使用される TFT、特に逆スタガ型の TFT をアクティブ素子とするアクティブマトリクス基板では、絶縁基板 (ガラス基板) の周辺部を除く基板全面に上記 TFT と液晶部とが画素としてマトリックス状に配列される。そして、上記ガラス基板の周辺部には、駆動 IC 回路と接続するためのゲート端子、データ端子 (ドレイン端子) のような端子部が設けられる。更に、これら

の端子部には静電気対策用保護トランジスタが接続され、アクティブマトリクス基板外部からの過電流あるいは過電圧に対する保護すなわちESD (Electro-Static-Discharge) 対策がなされる。

## 【0003】

以下、回路図である図17を参照して説明する。図17に示すように、アクティブマトリクス基板上の周辺には、多数のゲート端子Gとドレイン端子Dが形成され、上記ゲート端子Gとドレイン端子Dからアクティブマトリクス基板の内部に向かって、ゲートバス配線であるゲート配線101、データ配線あるいはドレインバス配線であるドレイン配線102がマトリクス状に配設される。そして、それぞれのゲート端子G及びドレイン端子Dに隣接して静電保護回路103、103aが設けられる。

## 【0004】

ここで、静電保護回路は2つの薄膜トランジスタで構成される。静電保護回路103を構成する1方のTFTにおいて、そのゲート電極、ドレイン電極はゲート配線101に接続される。そして、そのソース電極は、コモン端子COMからの配線に接続される。ここで、この配線は、ドレイン配線102と同層に同時に形成されるものである。また、静電保護回路103を構成する他方のTFTのゲート電極、ソース電極は、上記コモン端子COMからの配線に接続され、そのドレイン電極はゲート配線101に接続される。

## 【0005】

同様に、静電保護回路103aを構成する1方のTFTにおいては、そのゲート電極、ドレイン電極はドレイン配線102に接続される。そして、ソース電極は、ダミー端子からの配線に接続される。ここで、この配線は、ゲート配線101と同層に同時に形成されるものである。また、静電保護回路103を構成する他方のTFTのゲート電極、ソース電極は、上記ダミー端子からの配線に接続され、そのドレイン電極はドレイン配線102に接続される。

## 【0006】

そして、上記ゲート端子Gからのゲート配線101は、画素部を構成するスイッチトランジスタ104のゲート電極に接続され、上記ドレイン端子Dからのド

レイン配線102は、上記スイッチトランジスタ104のドレイン電極に接続される。そして、このスイッチトランジスタ104のソース電極は、図17に示す液晶の透明画素電極に接続される。この場合は、液晶には縦電界が与えられTN (Twist Nematic) といわれる。

## 【0007】

以上に説明したように、アクティブマトリクス基板の周辺部に形成する静電保護回路では、静電保護回路を構成するTFTにおいて、ゲート電極、ゲートバス配線あるいはダミー端子からの配線とドレイン電極、ドレインバス配線あるいはコモン端子COMからの配線との間での電気接続が必須になる。

## 【0008】

次に、上記の電気接続の従来の方法について図18と図19に基づいて説明する。図18及び図19は、ESD対策として必須となるTFTのゲート電極とドレイン電極とを接続する場合の製造工程順の模式的な断面図である。

## 【0009】

図18(a)に示すように、透明絶縁性基板であるガラス基板105上にゲート電極106をクロム等の金属をパターニングして形成する。そして、ゲート電極106を被覆するようにゲート絶縁膜107、アモルファスシリコン膜108、 $n^+$ アモルファスシリコン膜109を順次に積層して堆積させる。

## 【0010】

次に、図18(b)に示すように、フォトリソグラフィ技術でレジストマスク110を形成し、ドライエッチング技術で、上記の $n^+$ アモルファスシリコン膜109とアモルファスシリコン膜108とを加工する。そして、アモルファスシリコン層である半導体層111と $n^+$ アモルファスシリコン層112とを形成する。

## 【0011】

次に、上記レジストマスク110を除去し、クロムのような金属導電膜をスパッタ法で全面に堆積させる。

## 【0012】

次に、図18(c)に示すように、レジストマスク113を形成し、ドライエ

ツチング技術で、上記金属導電膜を所定の形状に加工する。このようにして、図18(c)に示すように、ソース電極114とドレイン電極115とを形成する。続いて、上記レジストマスク113を除去し、ソース電極114とドレイン電極115とをマスクにして $n^+$ アモルファスシリコン層112を加工する。このようにして、半導体層111上の端部にソース・オーミック層116とドレイン・オーミック層117とが形成される。

## 【0013】

次に、図19(a)に示すように、全面にパッシベーション膜118を堆積し、レジストマスク119を形成しエッチング技術を用いて、上記ゲート電極106上とドレイン電極115上にコンタクト孔120、121を形成する。

## 【0014】

続いて、上記レジストマスク119を除去し、図19(b)に示すように透明電極122で上記ゲート電極106とドレイン電極115とを、上記コンタクト孔120、121を通して電気接続する。このようにして、図19(b)に示すように、ゲート電極106とドレイン電極115とが電気接続する逆スタガ型TFTがガラス基板105上に形成されるようになる。

## 【0015】

上述した従来の電気接続の方法を用いて、静電保護回路を搭載したアクティブマトリクス基板を製造すると、少なくとも5回のフォトリソグラフィ工程（以下、フォトリソ工程という）が必要になる。なお、これまで4回のフォトリソ工程で製造可能な例について特開昭63-015472号公報に示されているが、この場合では、逆スタガ型TFTのソース・ドレイン電極とゲート電極とを電気接続するコンタクト孔を設けることはできない。このために、この場合には、アクティブマトリクス基板に静電保護回路を搭載することができない。

## 【0016】

## 【発明が解決しようとする課題】

現在、液晶表示装置用のアクティブマトリクス基板には、ESD対策として静電保護回路の搭載が必須になってきている。そして、このためにはアクティブマトリクス基板上のTFTにおいて、そのゲート電極あるいはゲートバス配線とド

レイン電極（あるいはソース電極）あるいはドレインバス配線とをコンタクト孔を等して電気接続することが必要になる。

【 0 0 1 7 】

しかし、以上に説明したように、従来の技術においては、上記のようなアクティブマトリクス基板を製造するためには最低 5 回のフォトリソ工程が必須である。そして、静電保護回路を搭載しないアクティブマトリクス基板の製造が 4 回のフォトリソ工程で製造できるのに対して、上記の場合には少なくとも 1 回のフォトリソ工程が増加することになる。

【 0 0 1 8 】

このようなフォトリソ工程の増加は、必然的に液晶表示装置の製造歩留まりの低減をもたらしその生産性を低下させるようになる。そして、液晶表示装置の製造コストが大幅する上に、その信頼性も低下するようになる。

【 0 0 1 9 】

本発明の目的は、フォトリソ工程を 4 回のフォトリソ工程に削減し、静電保護回路の搭載されたアクティブマトリクス基板を製造できる新しい方法を提供することにある。本発明の他の目的は、信頼性の高いゲート端子およびドレイン端子を形成する方法を提供することにある。そして、本発明の更に他の目的は、ソース・ドレイン用導電膜のエッチング時に、コンタクト孔においてゲート電極あるいはゲートバス配線が損傷を受けないようにすることにある。

【 0 0 2 0 】

【課題を解決するための手段】

このために、本発明のアクティブマトリクス基板の製造方法は、絶縁基板上に T F T を形成する方法であって、前記 T F T を構成する材料膜を前記絶縁基板上に積層して成膜する工程と、複数の厚さを有するようにパターニングしたレジストパターンを前記材料膜の最上層に形成する工程と、前記レジストパターンをエッチングマスクにして前記積層した材料膜の第 1 のエッチングを行い、次に、前記レジストパターンのうち膜厚の薄い領域をハロゲン化合物ガスと酸素ガスとをプラズマ励起した活性種による異方性エッチングにより除去する工程と、前記異方性エッチング後に残る前記レジストパターンのうち膜厚の厚い領域をエッチン



グマスクにして前記積層した材料膜の第 2 のエッチングを行う工程とを含む。

【 0 0 2 1 】

あるいは、本発明は、絶縁基板上に一の導電体材料から成る第 1 の導電層をパターニングして形成し前記絶縁基板および第 1 の導電層を被覆して絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜および他の導電体材料から成る第 2 の導電層用導電膜を順次積層する工程と、膜厚の厚い領域の第 1 部分と膜厚の薄い領域の第 2 部分と開口部とを有するレジストパターンを前記第 2 の導電層用導電膜上に形成する工程と、前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記第 1 の導電層の表面に達するコンタクト孔を形成する工程と、前記第 2 部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、前記エッチバック工程後に残存する前記第 1 部分をエッチングマスクにしたエッチングで前記第 2 の導電層用導電膜、オーミックコンタクト用半導体薄膜、半導体薄膜をパターニングする工程と、前記レジストパターンを除去した後、前記第 2 の導電層用導電膜のパターニングで形成される第 2 の導電層と前記第 1 の導電層とを前記コンタクト孔を通して接続する第 3 の導電層をパターニングして形成する工程とを含む。

【 0 0 2 2 】

あるいは、本発明は、絶縁基板上に一の導電体材料から成る第 1 の導電層をパターニングして形成し前記絶縁基板および第 1 の導電層を被覆して絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜および前記一の導電体材料から成る第 2 の導電層用導電膜を順次積層する工程と、膜厚の厚い領域の第 1 部分と膜厚の薄い領域の第 2 部分と開口部とを有するレジストパターンを前記第 2 の導電層用導電膜上に形成する工程と、前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記絶縁膜の表面に達するコンタクト孔を形成する工程と、前記第 2 部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、前記エッチバック工程後に残存する前記第 1 部分をエッチングマスクにして前記第 2 の導電層用導電膜をエッチングし第 2 の導電層を形成する工程と、前記第 2 の導電層用導電膜のエッチング後、前記第 1 部分と前記オーミックコンタクト用半導体薄膜あるいは半導体薄膜をエッチングマスクにして前記

絶縁膜をドライエッチングし前記コンタクト孔を前記第1の導電層の表面まで貫通させる工程と、前記第1部分をエッチングマスクにして前記オーミックコンタクト用半導体薄膜と半導体薄膜とを順次エッチングする工程と、前記レジストパターンを除去した後、前記第2の導電層と前記第1の導電層とを前記貫通したコンタクト孔を通して接続する第3の導電層をパターニングして形成する工程とを含む。

## 【0023】

あるいは、本発明は、絶縁基板上に一の導電体材料から成る第1の導電層をパターニングして形成し前記絶縁基板および第1の導電層を被覆して絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜、他の導電体材料から成る保護導電膜、前記一の導電体材料から成る第2の導電層用導電膜を順次積層する工程と、膜厚の厚い領域の第1部分と膜厚の薄い領域の第2部分と開口部とを有するレジストパターンを前記第2の導電層用導電膜上に形成する工程と、前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記半導体薄膜に達するコンタクト孔を形成する工程と、前記第2部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、前記エッチバック工程後に残存する前記第1部分をエッチングマスクにして前記第2の導電層用導電膜をエッチングし前記保護導電膜の表面を露出させる工程と、前記第2の導電層用導電膜のエッチング後、前記第1部分と前記保護導電膜をエッチングマスクにして残存する半導体薄膜および前記絶縁膜をドライエッチングし前記コンタクト孔を前記第1の導電層の表面まで貫通させる工程と、前記第1部分をエッチングマスクにして前記保護導電膜、オーミックコンタクト用半導体薄膜および半導体薄膜を順次エッチングし前記エッチングした保護導電膜と第2の導電層用導電膜とで第2の導電層を形成する工程と前記レジストパターンを除去した後、前記第2の導電層と前記第1の導電層とを前記貫通したコンタクト孔を通して接続する第3の導電層をパターニングして形成する工程とを含む。

## 【0024】

また、本発明は、絶縁基板上に複数のゲートバス配線とドレインバス配線とがマトリクス状に配設され、それらの交差領域にTFTを有する画素部を備え、前

記ゲートバス配線の端あるいはドレインバス配線の端にそれぞれ連結され外部の信号を受けるゲート端子およびドレイン端子を備え、前記外部の信号の過電圧あるいは過電流から前記画素部を保護するTFTで構成された保護回路部を備えるアクティブマトリクス基板の製造方法であって、一の導電体材料をパターニングして前記ゲートバス配線と前記TFTのゲート電極とを形成する工程と、前記絶縁基板、ゲートバス配線およびゲート電極を被覆してゲート絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜および他の導電体材料から成るソース・ドレイン用導電膜を順次積層した後、膜厚の厚い領域の第1部分と膜厚の薄い領域の第2部分と開口部とを有するレジストパターンを前記ソース・ドレイン用導電膜上に形成する工程と、前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記ゲートバス配線の表面、前記ゲートバス配線と同時に形成する第1の導電層の表面あるいは前記保護回路部を構成するTFTのゲート電極の表面に達するコンタクト孔を形成する工程と、前記第2部分をエッチバックで除去し残存する前記第1部分をエッチングマスクにしたエッチングで前記ソース・ドレイン用導電膜、オーミックコンタクト用半導体薄膜、半導体薄膜を順次パターニングする工程と、前記レジストパターンを除去した後、前記パターニングしたソース・ドレイン用導電膜の表面に被着し且つ前記コンタクト孔を通して前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極に接続する導電体膜を形成する工程と、前記導電体膜を少なくとも画素電極とするパターンにパターニングし前記パターニングした導電体膜をマスクに、再度、前記ソース・ドレイン用導電膜とオーミックコンタクト用半導体薄膜をエッチングし、前記ドレインバス配線、前記ドレインバス配線と同時に形成する第2の導電層および前記TFTのソース・ドレイン電極を形成し、前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極と、前記ドレインバス配線、前記第2の導電層あるいは前記保護回路部を構成するTFTのソース・ドレイン電極と、を前記パターニングした導電体膜で電気接続する工程とを含む。

## 【0025】

あるいは、本発明は、絶縁基板上に複数のゲートバス配線とドレインバス配線

とがマトリクス状に配設され、それらの交差領域にTFTを有する画素部を備え、前記ゲートバス配線の端あるいはドレインバス配線の端にそれぞれ連結され外部の信号を受けるゲート端子およびドレイン端子を備え、前記外部の信号の過電圧あるいは過電流から前記画素部を保護するTFTで構成された保護回路部を備えるアクティブマトリクス基板の製造方法であって、一の導電体材料をパターンニングして前記ゲートバス配線と前記TFTのゲート電極とを形成する工程と、前記絶縁基板、ゲートバス配線およびゲート電極を被覆してゲート絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜および前記一の導電体材料から成るソース・ドレイン用導電膜を順次積層した後、膜厚の厚い領域の第1部分と膜厚の薄い領域の第2部分と開口部とを有するレジストパターンを前記ソース・ドレイン用導電膜上に形成する工程と、前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記ゲート絶縁膜の表面に達するコンタクト孔を形成する工程と、前記第2部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、前記エッチバック工程後に残存する前記第1部分をエッチングマスクにして前記ソース・ドレイン用導電膜をエッチングする工程と、前記ソース・ドレイン用導電膜のエッチング後、前記第1部分と前記オーミックコンタクト用半導体薄膜あるいは半導体薄膜をエッチングマスクにして前記ゲート絶縁膜をエッチングし前記コンタクト孔を前記ゲートバス配線の表面、前記ゲートバス配線と同時に形成する第1の導電層の表面あるいは前記保護回路部を構成するTFTのゲート電極の表面まで貫通させる工程と、前記第1部分をエッチングマスクにしたエッチングで前記オーミックコンタクト用半導体薄膜、半導体薄膜を順次パターンニングする工程と、前記レジストパターンを除去した後、前記パターンニングしたソース・ドレイン用導電膜の表面に被着し且つ前記コンタクト孔を通して前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極に接続する導電体膜を形成する工程と、前記導電体膜を少なくとも画素電極とするパターンにパターンニングし前記パターンニングした導電体膜をマスクに、再度、前記ソース・ドレイン用導電膜とオーミックコンタクト用半導体薄膜をエッチングし、前記ドレインバス配線、前記ドレインバス配線と同時に形成する第2の導電層および前記TFTのソース・ドレイン電極を形成

し、前記ゲートバス配線、前記第 1 の導電層あるいは前記保護回路部を構成する T F T のゲート電極と、前記ドレインバス配線、前記第 2 の導電層あるいは前記保護回路部を構成する T F T のソース・ドレイン電極と、を前記パターニングした導電体膜で電気接続する工程とを含む。

## 【 0 0 2 6 】

あるいは、本発明は、絶縁基板上に複数のゲートバス配線とドレインバス配線とがマトリクス状に配設され、それらの交差領域に T F T を有する画素部を備え、前記ゲートバス配線の端あるいはドレインバス配線の端にそれぞれ連結され外部の信号を受けるゲート端子およびドレイン端子を備え、前記外部の信号の過電圧あるいは過電流から前記画素部を保護する T F T で構成された保護回路部を備えるアクティブマトリクス基板の製造方法であって、一の導電体材料をパターニングして前記ゲートバス配線と前記 T F T のゲート電極とを形成する工程と、前記絶縁基板、ゲートバス配線およびゲート電極を被覆してゲート絶縁膜、半導体薄膜、オーミックコンタクト用半導体薄膜、他の導電体材料から成る保護導電膜および前記一の導電体材料から成るソース・ドレイン用導電膜を順次積層した後、膜厚の厚い領域の第 1 部分と膜厚の薄い領域の第 2 部分と開口部とを有するレジストパターンを前記ソース・ドレイン用導電膜上に形成する工程と、前記レジストパターンをエッチングマスクにしたエッチングで前記開口部下に前記オーミックコンタクト用半導体薄膜あるいは前記半導体薄膜に達するコンタクト孔を形成する工程と、前記第 2 部分がエッチングされるまで前記レジストパターンをエッチバックする工程と、前記エッチバック工程後に残存する前記第 1 部分をエッチングマスクにして前記ソース・ドレイン用導電膜をエッチングし前記保護導電膜の表面を露出させる工程と、前記ソース・ドレイン用導電膜のエッチング後、前記第 1 部分と前記保護導電膜をエッチングマスクにして残存するオーミックコンタクト用半導体薄膜あるいは半導体薄膜および前記ゲート絶縁膜をエッチングし前記コンタクト孔を前記ゲートバス配線の表面、前記ゲートバス配線と同時に形成する第 1 の導電層の表面あるいは前記保護回路部を構成する T F T のゲート電極の表面まで貫通させる工程と前記第 1 部分をエッチングマスクにして前記保護導電膜、オーミックコンタクト用半導体薄膜および半導体薄膜を順次エッチン

グする工程と、前記レジストパターンを除去した後、前記パターニングしたソース・ドレイン用導電膜の表面に被着し且つ前記コンタクト孔を通して前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極に接続する導電体膜を形成する工程と、前記導電体膜を少なくとも画素電極とするパターンにパターニングし前記パターニングした導電体膜をマスクに、再度、前記ソース・ドレイン用導電膜とオーミックコンタクト用半導体薄膜をエッチングし、前記ドレインバス配線、前記ドレインバス配線と同時に形成する第2の導電層および前記TFTのソース・ドレイン電極を形成し、前記ゲートバス配線、前記第1の導電層あるいは前記保護回路部を構成するTFTのゲート電極と、前記ドレインバス配線、前記第2の導電層あるいは前記保護回路部を構成するTFTのソース・ドレイン電極と、を前記パターニングした導電体膜で電気接続する工程とを含む。

## 【0027】

ここで、前記第2部分のエッチングバックは、ハロゲン化合物ガスと酸素ガスとをプラズマ励起した活性種による異方性ドライエッチングで行う。

## 【0028】

また、本発明では、フォトリソグラフィ工程で使用するフォトマスクのマスクパターンにおいて遮光部と半透光部と透光部とを形成し、1回の露光で前記遮光部パターンと半透光部パターンと透光部パターンとをレジスト膜（感光性有機膜）に転写照射した後、現像を通して前記レジストパターンを形成する。

## 【0029】

あるいは、フォトリソ工程の露光において互いに異なるマスクパターンを有する2種以上のフォトマスクを用いてレジスト膜の所定領域に連続露光照射した後、現像を通して前記レジストパターンを形成する。この連続露光照射においては、1回目の露光照射での露光量が2回目の露光照射での露光量と異なるように設定する。

## 【0030】

ここで、前記レジスト膜は、互いに異なる露光感度を有する2層のレジスト膜で構成される。

## 【 0 0 3 1 】

あるいは、本発明のアクティブマトリクス基板の製造方法では、アクティブマトリクス基板のゲート端子の形成において、T F Tのゲート電極と一体のゲートバス配線を配設し、前記ゲートバス配線の端部に接続する前記パターニングした導電体膜を直接に又は第2の導電層を介して前記アクティブマトリクス基板の周辺位置まで引き出し、全面をパッシベーション膜で被覆した後、前記周辺位置まで引き出した前記パターニングした導電体膜に開口部を設けて前記ゲート端子とする。

## 【 0 0 3 2 】

あるいは、本発明のアクティブマトリクス基板の製造方法では、アクティブマトリクス基板のドレイン端子の形成において、T F Tのドレイン電極と一体のドレインバス配線を配設し、前記ドレインバス配線の端部に接続する前記パターニングした導電体膜を直接に又は第1の導電層を介して前記アクティブマトリクス基板の周辺位置まで引き出し、全面をパッシベーション膜で被覆した後、前記周辺位置まで引き出した前記パターニングした導電体膜上のパッシベーション膜に開口部を設けて前記ドレイン端子とする。

## 【 0 0 3 3 】

以上のように、本発明では、アクティブマトリクス基板上のT F Tの形成において、T F Tを構成する材料膜を絶縁膜基板上に積層して成膜し、膜厚が互いに異なる複数の領域を有するレジストパターンを上記材料膜の最上層にパターニングしこのレジストパターンをエッチングマスクにして積層した材料膜のうち複数の材料膜を順次加工する。

## 【 0 0 3 4 】

このようにして、4回のフォトリソ工程でもって、保護回路部の搭載されたアクティブマトリクス基板を容易に形成できるようになる。そして、このフォトリソ工程の削減により、液晶表示装置の製造歩留まりが向上して生産性が増大する。そして、液晶表示装置の製造コストが大幅に低減する。

## 【 0 0 3 5 】

【発明の実施の形態】

次に、本発明の第 1 の実施の形態を図 1、図 2 および図 3 に基づいて説明する。ここで、図 1 乃至図 3 は本発明の製造方法の特徴を説明するためのアクティブマトリクス基板上の T F T 構造の製造工程順の断面図である。

## 【 0 0 3 6 】

図 1 ( a ) に示すように、ガラス基板 1 上に第 1 の導電層である第 1 導電層 2 を Mo ( モリブデン ) 導電膜のパターニングで形成する。そして、第 1 導電層 2 上に絶縁膜 3、半導体薄膜であるアモルファスシリコン膜 4、オーミックコンタクト用半導体薄膜である  $n^+$  アモルファスシリコン膜 5 を積層して堆積させる。さらに、この  $n^+$  アモルファスシリコン膜 5 上に Cr ( クロム ) のような第 2 の導電層用導電膜 (あるいはソース・ドレイン用導電膜) である金属導電膜 6 をスパッタ法で全面に堆積させる。

## 【 0 0 3 7 】

次に、フォトリソ工程で、図 1 ( b ) に示すように、上記金属導電膜 6 表面に下層レジスト膜 7 と上層レジスト膜 8 とを積層して形成する。ここで、下層 / 上層レジスト膜は共にポジ形レジストであり、膜厚はそれぞれ  $0.5 \mu m$  と  $1.5 \mu m$  である。そして、下層レジスト膜 7 の露光感度は上層レジスト膜 8 のそれより低くなるように設定される。

## 【 0 0 3 8 】

そして、図 1 ( b ) に示すような遮光部 9、半透光部 10 及び透光部 11 を有するレチクル 12 をフォトマスクにして、上記上層レジスト膜 8 及び下層レジスト膜 7 を露光照射光 13 で露光する。この露光後に、積層した上記レジスト膜を通常の方法でもって現像する。

## 【 0 0 3 9 】

このような遮光部、半透光部及び透過光を有するフォトマスクの例について説明する。図 1 ( b ) に示す例では、レチクル 12 上に、例えばクロム金属で遮光部 8 が所定のパターンに形成されている。そして、半透光部 10 は、ハーフトーン材料でもって形成される。ここで、ハーフトーン材料は、例えばタングステンシリサイド等である。このようにして、半透光部が形成される。この半透光部では、露光照射光の数 % ~ 50 % が透過するように設定される。なお、透光部 11



は、上記クロム金属およびハーフトーン材料の存在しない領域である。

【 0 0 4 0 】

この他、遮光部、半透光部及び透過光を有するフォトマスクの例としては、フォトマスク基板上に、例えばクロム金属で遮光部が所定のパターンに形成される。そして、半透光部は、上記クロム金属の薄膜化で形成される。この場合には、上記のクロム金属の薄膜部の形成されている領域で、露光照射光の半分程度が透過するように設定される。このようにして、半透光部が形成される。

【 0 0 4 1 】

以上のようにして、図 1 (c) に示すように、開口部 1 4 を有する第 1 レジストマスク 1 5 と第 2 レジストマスク 1 6 を上記 1 回のフォトリソ工程で、金属導電膜 6 上に形成することになる。ここで、上述したレチクル 1 2 の透光部 1 1 に対応するところに転写パターンとして開口部 1 4 が形成される。また、第 2 レジストマスク 1 6 はレチクル 1 2 の遮光部 9 の転写パターンであり、上述した上層レジスト膜 8 で構成される。そして、第 1 レジストマスク 1 5 は、上述したように露光感度の低い下層レジスト膜 7 で構成される。図 1 (c) の工程で第 1 レジストマスク 1 5 が形成されるのは、上記のようなフォトマスクが使用されるため、露光照射工程で下層レジスト膜 7 に照射される光量が低減するからである。

【 0 0 4 2 】

次に、図 2 (a) に示すように、上述した第 1 レジストマスク 1 5 と第 2 レジストマスク 1 6 とをエッチングマスクとして、金属導電膜 6、 $n^+$  アモルファスシリコン膜 5、アモルファスシリコン膜 4、絶縁膜 3 を順次にエッチングする。このようにして、第 1 導電層 2 表面に達するコンタクト孔 1 7 を形成する。ここで、Cr のような金属導電膜 6 は、エッチャントとして硝酸第 2 セリウムアンモニウムと過塩素酸の混合した化学薬液を用いたウェットエッチングで、上記他の材料膜は反応性イオンエッチング (RIE) で除去される。

【 0 0 4 3 】

このようにして、第 1 導電層 2 に達するコンタクト孔 1 7 を形成後、 $O_2$  と  $CF_4$  の混合ガスをプラズマ励起してこれらのガスのイオンあるいはラジカルすなわち活性種を形成し、上記第 1 レジストマスク 1 5 と第 2 レジストマスク 1 6 と

を異方性エッチングでエッチバックする。このドライエッチングで、図2(b)に示すように第3レジストマスク18が形成される。このエッチバックでは、レジストマスクには異方性のドライエッチングが施されるために、第2レジストマスク16にサイドエッチは生じない。すなわち、第3レジストマスク18の寸法の上記第2レジストマスク16からの変化はほとんど生じない。

## 【0044】

次に、上記第3レジストマスク18をエッチングマスクにしたエッチング技術で、金属導電膜6、 $n^+$ アモルファスシリコン膜5およびアモルファスシリコン膜4を加工する。そして、アモルファスシリコン層である半導体層19、 $n^+$ アモルファスシリコン層20および第2導電層21を形成する。上記エッチング工程では、第1導電層2はコンタクト孔17部で露出している。しかし、第1導電層2と金属導電膜6とは異なる金属材料で構成されるために、このエッチング工程で第1導電層2がエッチングされることは無い。

## 【0045】

次に、第3レジストマスク18を除去し、図3(a)に示すように全面に透明電極膜22をスパッタ法で堆積させる。ここで、透明電極膜22はITO膜である。この透明電極膜22は第2導電層21に被着し、コンタクト孔17を通して第1導電層2に接続する。

## 【0046】

次に、図3(b)に示すように、フォトリソグラフィ技術とドライエッチング技術とで、上記透明電極膜22を所定のパターンに加工し透明電極層23を形成する。さらに、この透明電極層23をマスクに第2導電層21および $n^+$ アモルファスシリコン層20を順次エッチングする。このようにして、例えばソース電極24とドレイン電極25とを形成する。そして、上記 $n^+$ アモルファスシリコン層20の加工で、半導体層19上の端部にソース・オーミック層26とドレイン・オーミック層27とが形成される。

## 【0047】

次に、全面にパッシベーション膜28を堆積する。このようにして、本発明の第1導電層2とドレイン電極25とが透明電極層23で電気接続する逆スタガ型

T F T がガラス基板 1 上に形成される。

## 【 0 0 4 8 】

上記の実施の形態は、第 1 導電層 2 とソース電極あるいはドレイン電極のような第 2 導電層 2 1 になる金属導電膜 6 とが互いに異なる導電体材料で構成される場合である。このような材料の選択は色々考えられる。本発明者は、第 1 導電層と金属導電膜とを、C r、T i（チタン）／A l（アルミ）、M o、W（タングステン）あるいは M o と W の合金からそれぞれ選択すればよいことを確認している。

## 【 0 0 4 9 】

このように本発明では、4 回のフォトリソ工程でもって、第 1 導電層 2 とドレイン電極 2 5 が透明電極層 2 3 で電気接続する逆スタガ型 T F T が形成できる。このような T F T は、後で詳述するようにしてアクティブマトリクス基板の静電保護回路を構成する。

## 【 0 0 5 0 】

本発明では、製造工程が短縮するために、液晶表示装置の製造歩留まりが向上して生産性が増大する。そして、液晶表示装置の製造コストが大幅に低減するようになる。さらには、信頼性の高い T F T の製造が容易になる。

## 【 0 0 5 1 】

次に、本発明の第 2 の実施の形態を図 4、図 5 および図 6 あるいは図 3 に基づいて説明する。図 4 乃至図 6 は本発明の別の製造工程順の断面図である。第 1 の実施の形態との大きな違いは、第 1 導電層 2 と第 2 導電層 2 1 となる金属導電膜 6 が同一の材料で形成される点である。ここで、第 1 の実施の形態で説明したものと同一ものは同一符号で示される。

## 【 0 0 5 2 】

図 4（a）に示すように、ガラス基板 1 上に第 1 導電層 2 を C r 金属のパターニングで形成する。そして、第 1 の実施の形態で説明したのと同様に、第 1 導電層 2 上に絶縁膜 3、アモルファスシリコン膜 4、 $n^+$  アモルファスシリコン膜 5 および C r で構成された金属導電膜 6 を積層して形成する。

## 【 0 0 5 3 】

次に、フォトリソ工程で、図4（a）に示すように、上記金属導電膜6表面に膜厚が $1.5\mu\text{m}$ のレジスト膜29を形成する。ここで、レジスト膜29は1層のポジ形レジストである。

## 【0054】

そして、図4（a）に示すような遮光部9aを有するレチクル12aをフォトマスクにして、上記レジスト膜29を第1露光照射光13aで第1露光する。続けて、図4（b）に示すような遮光部9bを有するレチクル12bをマスクにして、レジスト膜29を第2露光照射光13bで第2露光する。以上のようにして、レジスト膜29に2種類のフォトマスクで連続2回の転写照射を行う。ここでは、第1露光量は第2露光量よりも低くなるように設定するとよい。

## 【0055】

このようにして、上記2回の連続露光後に、レジスト膜29を通常の方法でもって現像する。このレジスト膜29の現像後は、図5（a）に示すように、場所により膜厚を異にするレジストマスク30が形成される。すなわち、図5（a）に示すような、膜厚の最も厚いレジストマスク第1部分30a、中間の膜厚のレジストマスク第2部分30bおよびレジストの無い開口部30cが、金属導電膜6表面に形成される。

## 【0056】

ここで、レジストマスク第1部分30aは、図4（a）で説明したレチクル12aの遮光部9aの転写パターンである。図4（a）および図4（b）に示す連続2回の露光で、上記遮光部9aのパターン転写の領域は露光照射が全く無くポジ形レジストが完全に残る。そして、開口部30cは、図4（b）で説明したレチクル12bの遮光部9bで区画された転写パターンであり、ポジ形レジストが完全に無くなる。また、レジストマスク第2部分30bは、上述した第1露光照射光13aのみが照射され、露光不足となった領域に対応しており、 $0.7\mu\text{m}$ 程度の厚さのポジ形レジストが残存したものである。

## 【0057】

次に、図5（b）に示すように、上述したようなレジストマスク30をエッチングマスクとして、上記開口部30c領域の金属導電膜6、 $n^+$ アモルファスシ

リコン膜 5、アモルファスシリコン膜 4 を順次にエッチングしコンタクト孔 3 1 を形成する。

#### 【0058】

ここで、金属導電膜 6 のエッチングは、エッチャントとして硝酸第 2 セリウムアンモニウムと過塩素酸の混合した化学薬液を用いたウェットエッチングで行う。そして、 $n^+$  アモルファスシリコン膜 5、アモルファスシリコン膜 4 は、反応ガスとしてプラズマ励起した  $Cl_2$  と  $HBr$  の混合ガスを用いた RIE でドライエッチングする。このドライエッチング工程では、シリコン窒化膜で構成された絶縁膜 3 はほとんどエッチングされない。

#### 【0059】

次に、 $O_2$  と  $CF_4$  の混合ガスをプラズマ励起し、レジストマスク 3 0 を異方性エッチングする。このドライエッチングによるエッチバックでは、図 5 (a) で説明したレジストマスク第 2 部分 3 0 b が除去できるようにする。このようにして、図 5 (c) に示すように、金属導電膜 6 上に残存レジストマスク 3 2 を形成する。

#### 【0060】

次に、図 6 (a) に示すように、残存レジストマスク 3 2 をエッチングマスクにして、上記金属導電膜 6 をウェットエッチングし、第 2 導電層 2 1 を形成する。ここで、金属導電膜 6 は Cr 金属であるため、エッチャントは上述した硝酸第 2 セリウムアンモニウムと過塩素酸の混合した化学薬液である。このエッチング工程では、同じ Cr 金属で構成された第 1 導電層 2 は、コンタクト孔 3 1 においても絶縁膜 3 で被覆されているためエッチングされることはない。

#### 【0061】

次に、図 6 (b) に示すように、残存レジストマスク 3 2 で第 2 導電層 2 1 をエッチングから保護し、 $n^+$  アモルファスシリコン膜 5 あるいはアモルファスシリコン膜 4 をエッチングマスクにして、コンタクト孔 3 1 下の絶縁膜 3 を RIE でドライエッチングし、第 1 導電層 2 表面に達するコンタクト孔 3 1 a を形成する。ここで、反応ガスとしては、 $CHF_3$  と微量の  $O_2$  の混合ガスをプラズマ励起したものをを用いる。このエッチング工程では、第 1 導電層 2 表面はほとんどエ

ツチングされない。

【 0 0 6 2 】

次に、図 6 (c) に示すように、残存レジストマスク 3 2 をエッチングマスクにしたドライエッチングで、 $n^+$  アモルファスシリコン膜 5 およびアモルファスシリコン膜 4 を加工する。そして、アモルファスシリコン層である半導体層 1 9 および  $n^+$  アモルファスシリコン層 2 0 を形成する。このエッチング工程では、第 1 導電層 2 はコンタクト孔 3 1 a 部で露出している。ここで、反応ガスとしては、 $Cl_2$  と  $HBr$  の混合ガスをプラズマ励起したものを用いる。このエッチング工程で、第 1 導電層 2 表面はほとんどエッチングされない。

【 0 0 6 3 】

後の工程は、第 1 の実施の形態と全く同じである。すなわち、図 3 に基づいて説明したように、第 2 導電層 2 1 に被着し、コンタクト孔 3 1 a を通して第 1 導電層 2 に接続する透明電極膜 2 2 を堆積させる。そして、最終的に第 1 導電層とドレイン電極とが透明電極層で電気接続する逆スタガ型 T F T がガラス基板 1 上に形成される。

【 0 0 6 4 】

第 2 の実施の形態では、ソース電極あるいはドレイン電極になる金属導電膜 6 と第 1 導電層 2 とが同じ  $Cr$  金属で構成される場合について説明した。このような材料の選択は色々考えられるが、本発明者の検討では、第 1 導電層および金属導電膜ともに、 $Mo$ 、 $W$  あるいは  $Mo$  と  $W$  の合金を用いてもよいことが判明している。

【 0 0 6 5 】

上記第 2 の実施の形態での効果としては、第 1 の実施の形態で説明したものと同じものが生じる。なお、この場合には、上記金属導電膜と第 1 導電層の材料を同一にできるために、液晶表示装置の製造歩留まりは更に向上し生産性も更に増大する。

【 0 0 6 6 】

次に、本発明の第 3 の実施の形態を図 7 と図 8 あるいは図 3、図 4 に基づいて説明する。この実施の形態は、上記第 2 の実施の形態と同様な製造工程順の断面

図である。第2の実施の形態との大きな違いは、第1導電層と金属導電膜とが同一の材料で形成される場合に、金属導電膜の下層に保護導電膜を形成する点にある。ここで、第2の実施の形態で説明したものと同一ものは同一符号で示す。

## 【0067】

図7(a)に示すように、ガラス基板1上に第1導電層2をMo金属のパターニングで形成する。そして、第2の実施の形態で説明したのと同様に、第1導電層2上に絶縁膜3、アモルファスシリコン膜4、 $n^+$ アモルファスシリコン膜5、Crで構成される保護導電膜33およびMoで構成された金属導電膜6aを積層して形成する。

## 【0068】

次に、図4で説明した方法でもって、上記金属導電膜6a表面に、膜厚を異にするレジストマスク30を形成する。すなわち、図7(a)に示すような、膜厚の最も厚いレジストマスク第1部分30a、中間の膜厚のレジストマスク第2部分30bおよびレジストの無い開口部30cが、金属導電膜6a表面に形成される。

## 【0069】

次に、図7(b)に示すように、上述したレジストマスク30をエッチングマスクとして、上記開口部30c領域の金属導電膜6aと保護導電膜33を順次にエッチングしコンタクト孔34を形成する。

## 【0070】

ここで、金属導電膜6aおよび保護導電膜33のエッチングは、反応ガスとしてプラズマ励起した $Cl_2$ 、 $O_2$ とHeの混合ガスを用いたRIEでの連続ドライエッチングで行う。

## 【0071】

次に、 $O_2$ と $CF_4$ の混合ガスをプラズマ励起し、レジストマスク30を異方性エッチングでエッチバックする。このようにして、図7(c)に示すように、金属導電膜6a上に残存レジストマスク32を形成する。

## 【0072】

次に、図8(a)に示すように、残存レジストマスク32をエッチングマスク

にして、上記金属導電膜 6 a をウェットエッチングする。ここで、金属導電膜 6 a は Mo 金属であるため、エッチャントとして、磷酸、硝酸および酢酸の混合薬液を用いる。このエッチング工程では、Cr で構成された保護導電膜 3 3 がエッチングされることはない。

## 【 0 0 7 3 】

次に、図 8 (b) に示すように、残存レジストマスク 3 2 と保護導電膜 3 3 をエッチングマスクにして、 $n^+$  アモルファスシリコン膜 5、アモルファスシリコン膜 4 および絶縁膜 3 を R I E でドライエッチングし、第 1 導電層 2 表面に達するコンタクト孔 3 4 a を形成する。

## 【 0 0 7 4 】

次に、図 8 (c) に示すように、残存レジストマスク 3 2 をマスクにして保護導電膜 3 3 をウェットエッチングする。ここで、エッチャントとして硝酸第 2 セリウムアンモニウムと過塩素酸の混合した化学薬液を用いる。更に、 $n^+$  アモルファスシリコン膜 5 およびアモルファスシリコン膜 4 を加工する。

## 【 0 0 7 5 】

このようにして、アモルファスシリコン層である半導体層 1 9、 $n^+$  アモルファスシリコン層 2 0 および第 2 導電層 2 1 a を形成する。ここで、第 2 導電層 2 1 a は、Mo / Cr の積層した導電層である。また、上記のエッチング工程では、第 1 導電層 2 はコンタクト孔 3 4 a 部で露出しているが、第 1 導電層 2 表面はほとんどエッチングされない。

## 【 0 0 7 6 】

後の工程は、第 1 の実施の形態と全く同じである。すなわち、図 3 に基づいて説明したように、第 2 導電層 2 1 a に被着し、コンタクト孔 3 4 a を通して第 1 導電層 2 に接続する透明電極膜 2 2 を堆積させる。そして、最終的に第 1 導電層とドレイン電極とが透明電極層で電気接続する逆スタガ型 T F T がガラス基板 1 上に形成される。

## 【 0 0 7 7 】

第 3 の実施の形態では、ソース電極あるいはドレイン電極になる金属導電膜 6 a と第 1 導電層 2 とが同じ Mo 金属で構成される場合について説明した。このよ



うな材料の選択は色々考えられる。本発明者の検討では、第1導電層および金属導電膜6aともに、Cr、WあるいはMoとWの合金を用いてもよいことが判明している。但し、上記の場合、金属導電膜6aとは異種の導電体材料の保護導電膜の形成が必要である。なお、ここで、第1導電層は積層する導電体材料で形成してもよい。この場合には、上層の導電体材料と金属導電膜6aとが同一の材料となる。

## 【0078】

上記第3の実施の形態での効果としては、第1の実施の形態で説明したものと同じものが生じる。そして、この場合には、第2導電層21aは最終的に積層する導電層で構成される。このために、第2導電層21aが低抵抗化されるようになる。

## 【0079】

以上の実施の形態では、第1導電層2と、第2導電層をパターニングして形成したドレイン電極（あるいはソース電極）とを透明電極層で電気接続する場合について説明している。本発明はこのような構成に限定されるものではない。この他、第1導電層を上記第2導電層にそのまま接続してもよい。この場合には、第2導電層はパターニングしない。このような構造については実施例のところで言及する。

## 【0080】

第1乃至第3の実施の形態で説明したように、ソース電極あるいはドレイン電極となる金属導電膜あるいは第1導電層の材料としては、Mo、Wあるいはこれらの合金を使用できる。しかし、Mo、Wのような金属は耐湿性がCr金属等と比較して小さくなる。このために、図17に基づいて説明したアクティブマトリクス基板上の周辺に形成するゲート端子Gとドレイン端子Dの構造に工夫が必要になる。

## 【0081】

次に、上記耐湿性の小さい金属をTFTのゲート電極あるいはドレイン電極に使用する場合の、上記ゲート端子Gあるいはドレイン端子Dの形成方法について第4の実施の形態として、図9および図10に基づいて説明する。図9は、ゲー

ト端子G部の断面図であり、図10は、ドレイン端子D部の断面図である。ここで、第1乃至第3の実施の形態と同じものは同一符号で示される。

## 【0082】

図9(a)に示すように、ガラス基板1表面にMoで構成されるゲート配線35を形成する。ここで、ゲート配線35は第1および第2の実施の形態で説明した第1導電層2と一体に形成される。そして、第1の実施の形態で説明したように絶縁膜3を全面に堆積させる。次に、上記ゲート配線35の所定の領域を開口しこの開口部で上記ゲート配線35に接続するゲート端子用透明電極36を引き出すように形成する。最後に、全面にパッシベーション膜28を堆積させ、ゲート端子用開口37を形成する。

## 【0083】

以上に説明したように、第1導電層2として例えばゲート電極を耐湿性の小さい金属で形成する場合には、ゲート端子Gは、ゲート電極につながったゲート配線35に接続して引き出されたゲート端子用透明電極36で構成される。そして、ゲート電極およびゲート配線35はパッシベーション膜28で完全に被覆する。ここで、ゲート端子用透明電極36は、上述したITO膜で構成され耐湿性の非常に高い膜である。

## 【0084】

図9(b)は、比較のために、従来の技術でゲート端子Gを形成する場合を示す。ここで、本発明と同じものは同一符号で示す。図9(b)に示すように、ガラス基板1上にMoから成るゲート配線35を形成し、絶縁膜3を全面に堆積させ、アクティブマトリクス基板上に配設したゲート配線の端部における所定の領域を開口しゲート配線35の上部にのみゲート端子用透明電極36aを形成する。そして、パッシベーション膜28を全面に堆積させ上記ゲート端子用透明電極36a上にゲート端子用開口37aを形成する。

## 【0085】

この従来の方法では、ゲート端子用開口37aから水分が入ると、ゲート配線35はゲート端子用透明電極36aで被覆されているが、上記水分がゲート端子用透明電極36a下のゲート配線35を腐食するようになる。

## 【 0 0 8 6 】

これに対して、上記本発明の場合では、上述したようにゲート端子用開口 3 7 は、ゲート配線 3 5 から引き出されたゲート端子用透明電極 3 6 であって、上記ゲート配線 3 5 から離れた領域に形成される。このために、ゲート端子用開口 3 7 から水分が入っても、離れたところにあるゲート配線 3 5 の腐食は防止されるようになる。

## 【 0 0 8 7 】

図 1 0 ( a ) に示すように、ガラス基板 1 表面に絶縁膜 3 を全面に堆積させる。次に、第 1 乃至第 3 の実施の形態で説明したように、絶縁膜 3 上に半導体層 3 8、 $n^+$  アモルファスシリコン層 3 9 および第 2 導電層 4 0 を積層して形成する。ここで、第 2 導電層 4 0 は Mo で構成する。この積層した半導体層 3 8、 $n^+$  アモルファスシリコン層 3 9 および第 2 導電層 4 0 がドレインバス配線であるドレイン配線となる。更に、上記ドレイン配線の第 2 導電層 4 0 に被着してドレイン端子用透明電極 4 1 を引き出すように形成する。最後に、全面にパッシベーション膜 2 8 を堆積させ、ドレイン端子用開口 4 2 を形成する。

## 【 0 0 8 8 】

以上に説明したように、ドレイン電極を耐湿性の小さい金属で形成する場合には、ドレイン端子 D は、ドレイン電極につながったドレイン配線に接続して引き出されたドレイン端子用透明電極 4 1 で構成される。そして、ドレイン電極およびドレイン配線はパッシベーション膜 2 8 で完全に被覆する。この場合も、ドレイン端子用透明電極 4 1 は、上述した I T O 膜で構成され耐湿性の非常に高い膜である。

## 【 0 0 8 9 】

図 1 0 ( b ) は、比較のために、従来の技術でドレイン端子 D を形成する場合を示す。ここで、本発明と同じものは同一符号で示す。図 1 0 ( b ) に示すように、ガラス基板 1 上に絶縁膜 3 を介して積層する半導体層 3 8、 $n^+$  アモルファスシリコン層 3 9 および第 2 導電層 4 0 を形成する。ここで、第 2 導電層 4 0 は Mo で構成される。そして、アクティブマトリクス基板上に配設したドレイン配線の端部における所定の領域を開口し第 2 導電層 4 0 の上部にのみドレイン端子

用透明電極 4 1 a を形成する。そして、パッシベーション膜 2 8 を全面に堆積させ、上記ドレイン端子用透明電極 4 1 a 上にドレイン端子用開口 4 2 a を形成する。

#### 【0090】

この従来の方法では、ドレイン端子用開口 4 2 a から水分が入ると、第 2 導電層 4 0 はドレイン端子用透明電極 4 1 a で被覆されているが、上記水分はドレイン端子用透明電極 4 1 a 下の金属導電層 4 0 を腐食するようになる。

#### 【0091】

これに対して、上記本発明の場合では、上述したようにドレイン端子用開口 4 2 は、ドレイン配線の金属導電層 4 0 から引き出されたドレイン端子用透明電極 4 1 であって、上記ドレイン配線から離れた領域に形成される。このために、ドレイン端子用開口 4 2 から水分が入っても、離れたところにあるドレイン配線の腐食は防止されるようになる。

#### 【0092】

次に、実施例でもって、図 1 7 で説明したアクティブマトリックス基板上の端子部、保護回路部および画素部の具体的な製造について説明し、本発明により、4 回のフォトリソ工程でもってアクティブマトリックス基板が形成できることを示す。

#### 【0093】

##### 【実施例】

図 1 1 は、図 1 7 で説明したゲート端子 G および静電保護回路 1 0 3 の平面図である。ここで、判りやすくするために一部に斜線を施している。そして、図 1 2 乃至図 1 4 は、図 1 1 に記した A - B で切断したところの、静電保護回路部を構成する T F T の製造工程順の断面図である。以下、図 1 1 乃至図 1 4 に基づいて説明する。

#### 【0094】

第 1 のフォトリソ工程を経て、図 1 2 ( a ) に示すように、ガラス基板 5 1 上にゲートバス配線であるゲート配線 5 2 とゲート電極 5 2 a とを C r 導電膜のパターニングで形成する。ここで、ゲート配線 5 2 およびゲート電極 5 2 a の膜厚

は200nm程度であり、図11に示すように、ゲート電極52aはゲート配線52と一体に形成されるものである。

## 【0095】

そして、ゲート配線52、ゲート電極52a上に、膜厚500nmのシリコン窒化膜で構成されるゲート絶縁膜53、半導体薄膜である膜厚が300nm程度のアモルファスシリコン膜54、オーミックコンタクト用半導体薄膜である膜厚が50nm程度の $n^+$ アモルファスシリコン膜55、および膜厚300nmのMo膜で構成されるソース・ドレイン用導電膜である金属導電膜56を積層して堆積させる。

## 【0096】

次に、第2のフォトリソ工程で、図12(b)に示すように、上記金属導電膜56表面に膜厚が2 $\mu$ mのレジスト膜57をスピン塗布法で形成する。ここで、レジスト膜57はポジ形レジストである。そして、図12(b)に示すような遮光部58、半透光部59及び透光部60を有するレチクル61をフォトマスクにして、上記レジスト膜57を露光照射光62で露光する。この露光後に、上記レジスト膜を通常の方法でもって現像する。

## 【0097】

そして、第1、第2あるいは第3の実施の形態で説明したのと同様にして、図13(a)に示すように、場所により膜厚を異にするレジストマスク63が形成される。すなわち、図13(a)に示すような、膜厚の最も厚いレジストマスク第1部分63a、中間の膜厚のレジストマスク第2部分63bおよびレジストの無い開口部63cが、金属導電膜56表面に形成される。

## 【0098】

次に、図13(b)に示すように、上述したレジストマスク63をエッチングマスクとして、金属導電膜56、 $n^+$ アモルファスシリコン膜55、アモルファスシリコン膜54、ゲート絶縁膜53を順次にエッチングする。このようにして、ゲート配線52表面に達するコンタクト孔64を形成する。ここで、Moのような金属導電膜56は、磷酸、硝酸および酢酸の混合薬液をエッチャントとしたウェットエッチングで加工する。そして、上記他の材料膜はRIEでエッチング

する。すなわち、 $n^+$  アモルファスシリコン膜 5 5 とアモルファスシリコン膜 5 4 は、 $SF_6$ 、 $HCl$  と  $He$  の混合ガスをプラズマ励起しドライエッチングする。そして、ゲート絶縁膜 5 3 は、 $CF_4$ 、 $CHF_3$  と  $O_2$  の混合ガスをプラズマ励起しドライエッチングする。

## 【 0 0 9 9 】

このようにして、ゲート配線 5 2 に達するコンタクト孔 6 4 を形成後、 $O_2$  と  $CF_4$  の混合ガスをプラズマ励起し、上記レジストマスク 6 3 を異方性エッチングでエッチバックする。このエッチバックでは、レジストマスク第 2 部分 6 3 b が除去できるようにし、残存レジストマスク 6 5 を形成する。そして、図 1 3 (c) に示すように、この残存レジストマスク 6 5 をエッチングマスクにして、再度、金属導電膜 5 6、 $n^+$  アモルファスシリコン膜 5 5、アモルファスシリコン膜 5 4 を順次に加工作る。

## 【 0 1 0 0 】

このようにして、アモルファスシリコン層である半導体層 6 6、 $n^+$  アモルファスシリコン層 6 7 および金属導電層 6 8 をゲート電極 5 2 a 上部に形成する。この半導体層 6 6、 $n^+$  アモルファスシリコン層 6 7 および金属導電層 6 8 のパターンは、図 1 1 の右上から左下への斜線で示すような平面パターン形状を有する。

## 【 0 1 0 1 】

次に、残存レジストマスク 6 5 を除去し、図 1 4 (a) に示すように全面に透明電極膜 6 9 をスパッタ法で堆積させる。ここで、透明電極膜 6 9 は ITO 膜である。この透明電極膜 6 9 は金属導電層 6 8 に被着し、コンタクト孔 6 4 を通してゲート配線 5 2 に接続する。

## 【 0 1 0 2 】

次に、第 3 のフォトリソ工程を経て、図 1 4 (b) に示すように、上記透明電極膜 6 9 を所定のパターンに加工し透明電極層 7 0、7 0 a を形成する。ここで、加工はウェットエッチングで行う。このウェットエッチングでのエッチャントは、王水、塩化第 2 鉄、塩酸の混合薬液である。図 1 1 に示すように、このエッチングでは、透明電極層 7 0 b、7 0 c も形成される。ここで、透明電極層 7 0

cは、以下、特にゲート端子用透明電極70cという。

【0103】

ここで、図11に示すように、透明電極層70はコンタクト孔64を通してゲート配線52に接続され、透明電極層70aはコンタクト孔64bを通してゲート電極52bに接続され、透明電極層70bはコンタクト孔64aを通してゲート配線52に接続される。そして、ゲート端子用透明電極70cはコンタクト孔64cを通してゲート配線52の端部のゲート端子に接続されるようになる。

【0104】

次に、これらの透明電極層をマスクに金属導電層68および $n^+$ アモルファスシリコン層67を順次エッチングする。このようにして、図14(b)に示すように、ソース・ドレイン電極71、72を形成する。そして、上記 $n^+$ アモルファスシリコン層67の加工で、半導体層66上の端部にオーミック層73、74を形成する。

【0105】

次に、全面にパッシベーション膜75を堆積する。このようにして、ゲート配線52とソース・ドレイン電極72とが透明電極層70で電気接続する逆スタガ型TFTが、ガラス基板51上に、ゲート電極52a、ゲート絶縁膜53、半導体層66を有して形成される。

【0106】

また、図11の平面図で示すように、ゲート電極52bとソース・ドレイン電極71とが透明電極層70aで電気接続するもう1つの逆スタガ型TFTがガラス基板51上に形成される。ここで、このTFTの他方のソース・ドレイン電極は透明電極層70bを通しコンタクト孔64aを通してゲート配線52に接続される。また、上記のソース・ドレイン電極71は、図17で説明したコモン端子COMからの配線となる。これは、画素部の製造で後述するドレインバス配線と同時に形成される第2の導電層である。

【0107】

次に、第4のフォトリソ工程を経て、図11に示すように、ゲート端子用透明電極70c上のパッシベーション膜75にゲート端子用開口76を形成する。

## 【0108】

なお、図17で説明したドレイン端子Dおよび静電保護回路103aは、基本的には図11乃至図14で説明したのと同様に形成される。なお、ここで図17で説明したダミー端子からの配線は、ゲート配線52と同時に形成される。すなわち、これがゲートバス配線と同時に形成される第1の導電層である。

## 【0109】

上述したように、本発明により4回のフォトリソ工程でもって、アクティブマトリクス基板の端子部および静電保護回路部を形成できるようになる。

## 【0110】

以上の実施例では、TFTを構成するゲート電極あるいはゲート配線とソース・ドレイン電極の材料が異なる場合について説明した。この場合は、基本の製造工程（プロセス）としては第1の実施の形態と同じである。その他の実施例で、ゲート電極あるいはゲート配線とソース・ドレイン電極の材料が同一の場合については、基本プロセスとして第2あるいは第3に実施の形態で説明した方法をとればよい。

## 【0111】

上記の実施例では説明しなかったが、第4の実施の形態で説明したような端子部の形成において、上述したゲート配線を透明電極を通して金属導電層に接続し、この金属導電層をゲート端子にすることも可能となる。すなわち、上述した第1乃至第3の実施の形態で説明した第1の導電層である第1導電層2とパターンニングしないままの第2の導電層である第2導電層とを透明電極層で電気接続し、この第2導電層をゲート端子にしてもよい。あるいは、その逆で、透明電極を介して第2の導電層に接続された第1の導電層をドレイン端子としてもよい。なお、この場合に、端子部では第1の導電層あるいは第2の導電層表面に透明電極が積層して形成される。

## 【0112】

次に、アクティブマトリクス基板に上記端子部、保護回路部と同時に形成される画素部について図15と図16に基づき説明する。図15は、上記1画素部の平面図である。ここで、判りやすくするためにこの場合も斜線を施している。そ



して、図16は、図15に記したC-Dで切断したところの、画素部を構成するTFTの製造工程順の断面図である。なお、図11乃至図14に示したものと同一ものは同一符号で示す。

#### 【0113】

第1のフォトリソ工程を経て、図15および図16(a)に示すように、ガラス基板51上にゲート配線52およびゲート電極52cをCr膜のパターニングで形成する。ここで、ゲート配線52およびゲート電極52cは、図11で示したものと一体となっている。

#### 【0114】

そして、図12で説明したように、第2のフォトリソ工程を経て、積層して形成したゲート絶縁膜、アモルファスシリコン膜、 $n^+$ アモルファスシリコン膜、金属導電膜をパターニングする。そして、図16(b)に示すように、ゲート電極52c上にゲート絶縁膜53、アモルファスシリコン層である半導体層77、 $n^+$ アモルファスシリコン層78および金属導電層79を形成する。この半導体層77、 $n^+$ アモルファスシリコン層78および金属導電層79のパターンは、図15の右上から左下への斜線で示すような平面パターン形状を有する。

#### 【0115】

次に、図14(a)で説明したように全面に透明電極膜をスパッタ法で堆積させ、上述した第3のフォトリソ工程を経て、上記透明電極膜を所定のパターンに加工し、図16(c)および図15に示すように透明電極層80、80aを形成する。図15では、上記透明電極層は左上から右下への斜線で示され、また、隣接する画素部の一部も示されている。

#### 【0116】

次に、これらの透明電極層をマスクに金属導電層79および $n^+$ アモルファスシリコン層78を順次エッチングする。このようにして、図16(c)に示すように、ソース・ドレイン電極81、82を形成する。また、上記 $n^+$ アモルファスシリコン層78の加工で、半導体層77上の端部にオーミック層83、84を形成する。このようにして形成するソース・ドレイン電極81が上述したドレインバス配線となる。

## 【 0 1 1 7 】

次に、全面にパッシベーション膜 8 5 を堆積し、上述した第 4 のフォトリソ工程を経て、図 1 6 ( d ) に示すように、液晶用開口 8 6 を形成する。このようにして、ガラス基板 5 1 上にゲート電極 5 2 c、ゲート絶縁膜 5 3、半導体層 7 7 およびソース・ドレイン電極を有する画素部の T F T を形成することになる。

## 【 0 1 1 8 】

本発明では、上述したように、アクティブマトリックス基板を製造するためのフォトリソ工程を 4 回に削減することが可能になる。アクティブマトリックス基板の製造工程においてはフォトリソ工程で特にパーティクル発生が生じやすい。このパーティクル発生は、大きな面積を有するアクティブマトリックス基板の製造歩留まりに非常に大きく影響する。このために、本発明のフォトリソ工程の削減は、液晶表示装置の製造歩留まりの向上およびその生産性の増大に大きく貢献するようになる。また、信頼性の高いアクティブマトリックス基板の製造が容易になる。

## 【 0 1 1 9 】

本発明の特徴の 1 つは、アクティブマトリックス基板の製造において、T F T のような半導体素子を構成する材料膜を予め多層の積層膜として堆積し、上記積層膜をパターニングするためのエッチングマスクとして、場所により膜厚を異にするレジストマスクを形成する点にある。

## 【 0 1 2 0 】

このようなレジストマスクの形成方法には種々のバリエーションがある。以下、これについて説明する。

## 【 0 1 2 1 】

第 1 の実施の形態は、1 回の露光法でパターン転写する場合となっている。上記の第 1 の実施の形態では 2 層レジスト膜を用いているが、1 層レジスト膜を用いても可能である。

## 【 0 1 2 2 】

ここで、レジスト膜がポジ形の場合では、レジスト膜の露光感度を下げる必要がある。この露光感度を下げることで、レチクル 1 2 の遮光部 9、半透光部 1 0

、透光部 1 1 に対応する転写パターンが精度よく形成できるようになる。

【0 1 2 3】

また、上記 1 回の露光法の場合にレジスト膜として 1 層のネガ形レジストを用いてもよい。ネガ形レジストは一般にポジ形レジストに比べ露光感度が低いため容易に 1 層レジスト膜で対応できる。あるいは、ネガ形の 2 層レジスト膜を用いてもよい。しかし、このネガ形レジストを用いる場合には、フォトマスクは、第 1 の実施の形態のレチクル 1 2 とは異なるものとなる。この場合には、レチクル 1 2 の遮光部 9 が透光部となり、透光部 1 1 が遮光部となる。そして、半透光部 1 0 は同じである。

【0 1 2 4】

第 2 の実施の形態は、連続 2 回の露光法でパターン転写する場合となっている。上記の第 2 の実施の形態ではポジ形の 1 層レジスト膜を用いているが、ポジ形の 2 層レジスト膜を用いても可能である。この場合には、第 1 の実施の形態と同じ上層／下層のレジスト膜を用いることができる。

【0 1 2 5】

また、上記ポジ形レジストに代えてネガ形レジストを用いてもよい。しかし、この場合には、フォトマスクは、第 2 の実施の形態のレチクル 1 2 a, 1 2 b とはその遮光部のパターンが全く逆になる。

【0 1 2 6】

また、以上の実施の形態では絶縁基板上に逆スタガ型の T F T を形成する場合について説明した。本発明は、スタガ型の T F T を形成する場合でも同様に適用できることに言及しておく。

【0 1 2 7】

また、本発明は、液晶に横電界を与える場合、すなわち I P S ( I n P l a n e S w i t c h i n g ) の場合でも同様に適用できる。

【0 1 2 8】

以上の説明では、透過型の液晶表示装置用のアクティブマトリクス基板の場合について詳述した。本発明は、反射型の液晶表示装置用のアクティブマトリクス基板の場合にも同様に適用できるものである。この場合には、実施の形態で説明

した透明電極膜、透明電極層のような透明な導電体材料は不要となり、逆に反射性の高い導電体膜が用いられる。

【0129】

なお、本発明は、上記の実施の形態に限定されず、本発明の技術思想の範囲内において、実施の形態が適宜変更され得るものである。

【0130】

【発明の効果】

以上に説明した本発明のアクティブマトリクス基板の製造方法の主要部では、絶縁基板上にTFTを形成する場合に、TFTを構成する材料膜を絶縁膜基板上に積層して成膜し、複数の厚さを有するようにパターニングしたレジストパターンを上記材料膜の最上層に形成し、上記レジストパターンのうち膜厚の厚い領域を第1部分とし膜厚の薄い領域を第2部分として、初めに第1部分と第2部分とをエッチングマスクにして積層した材料膜の第1のエッチングを行う。次に、上記第2部分をエッチングするようにエッチバックを施こした後に残存する第1部分をエッチングマスクにして積層した材料膜の第2のエッチングを行う。ここで、上記エッチバックは、ハロゲン化合物ガスと酸素ガスとをプラズマ励起した活性種による異方性ドライエッチングで行う。

【0131】

そして、アクティブマトリクス基板の保護回路部を構成するTFTの形成において、上記の方法を用いて、ゲートバス配線、ゲート電極あるいはゲートバス配線と同時に形成する第1の導電層と、ドレインバス配線、ソース・ドレイン電極あるいはドレインバス配線と同時に形成する第2の導電層と、を接続するコンタクト孔を形成する。

【0132】

このようにすることで、静電保護回路のような保護回路部の搭載されたアクティブマトリクス基板が4回のフォトリソ工程でもって製造できるようになる。この製造工程短縮により、液晶表示装置の製造歩留まりが大幅に向上し生産性が増大する。そして、液晶表示装置の製造コストが大幅に低減するようになる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態を説明するための T F T の製造工程順の断面図である。

【図 2】

上記工程の続きを説明するための T F T の製造工程順の断面図である。

【図 3】

上記工程の続きを説明するための T F T の製造工程順の断面図である。

【図 4】

本発明の第 2 の実施の形態を説明するための T F T の製造工程順の断面図である。

【図 5】

上記工程の続きを説明するための T F T の製造工程順の断面図である。

【図 6】

上記工程の続きを説明するための T F T の製造工程順の断面図である。

【図 7】

本発明の第 3 の実施の形態を説明するための T F T の製造工程順の断面図である。

【図 8】

上記工程の続きを説明するための T F T の製造工程順の断面図である。

【図 9】

本発明のゲート端子の製造工程を説明するためのゲート端子部の断面図である。

【図 1 0】

本発明のドレイン端子の製造工程を説明するためのドレイン端子部の断面図である。

【図 1 1】

本発明の具体的な実施例を説明するための保護回路部およびゲート端子部の平面図である。

【図 1 2】

上記保護回路部の T F T の製造工程順の断面図である。

【図 1 3】

上記工程の続きを説明するための T F T の製造工程順の断面図である。

【図 1 4】

上記工程の続きを説明するための T F T の製造工程順の断面図である。

【図 1 5】

本発明の具体的な実施例を説明するための画素部の平面図である。

【図 1 6】

上記画素部の T F T の製造工程順の断面図である。

【図 1 7】

液晶表示用のアクティブマトリクス基板上の回路、配線、端子を説明するための平面図である

【図 1 8】

従来の技術を説明するための T F T の製造工程順の断面図である。

【図 1 9】

上記工程の続きを説明するための T F T の製造工程順の断面図である。

【符号の説明】

- 1, 5 1     ガラス基板
- 2     第 1 導電層
- 3     絶縁膜
- 4, 5 4     アモルファスシリコン膜
- 5, 5 5      $n^+$  アモルファスシリコン膜
- 6, 6 a, 5 6     金属導電膜
- 7     下層レジスト膜
- 8     上層レジスト膜
- 9, 9 a, 9 b, 5 8     遮光部
- 1 0, 5 9     半透光部
- 1 1, 6 0     透光部
- 1 2, 1 2 a, 1 2 b, 6 1     レチクル

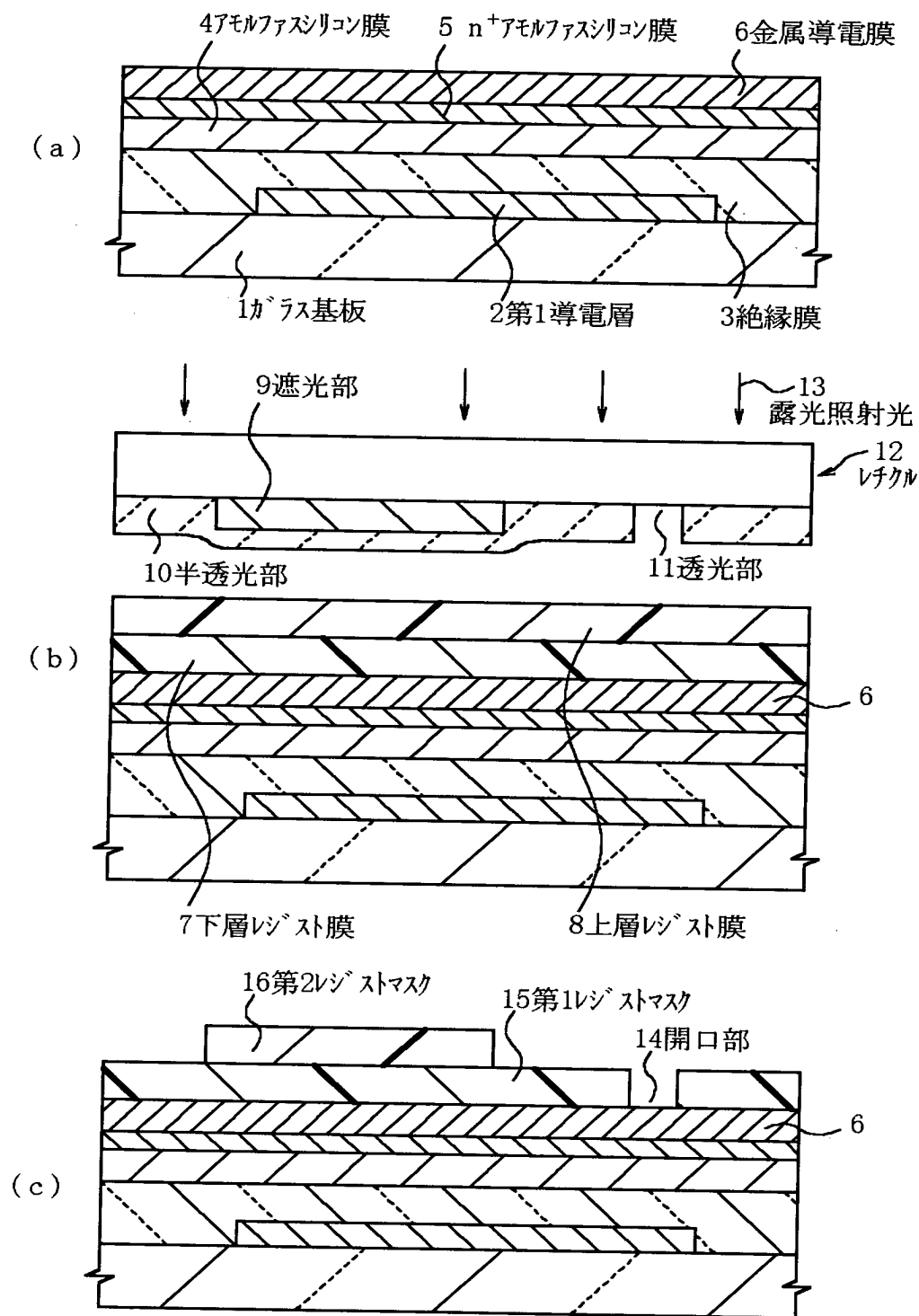
- 1 3, 1 3 a, 1 3 b, 6 2 露光照射光
- 1 4, 3 0 c, 6 3 c 開口部
- 1 5 第 1 レジストマスク
- 1 6 第 2 レジストマスク
- 1 7, 3 1, 3 1 a, 3 4, 3 4 a, 6 4, 6 4 a, 6 4 b, 6 4 c コン  
タクト孔
- 1 8 第 3 レジストマスク
- 1 9, 3 8, 6 6, 7 7 半導体層
- 2 0, 3 9, 6 7, 7 8  $n^+$  アモルファスシリコン層
- 2 1, 2 1 a, 4 0, 4 0 a 第 2 導電層
- 2 2, 6 9 透明電極膜
- 2 3, 7 0, 7 0 a, 7 0 b, 8 0, 8 0 a 透明電極層
- 2 4 ソース電極
- 2 5 ドレイン電極
- 2 6 ソース・オーミック層
- 2 7 ドレイン・オーミック層
- 2 8, 7 5, 8 5 パッシベーション膜
- 2 9, 5 7 レジスト膜
- 3 0, 6 3 レジストマスク
- 3 0 a, 6 3 a 第 1 部分
- 3 0 b, 6 3 b 第 2 部分
- 3 2, 6 5 残存レジストマスク
- 3 3 保護導電膜
- 3 5, 1 0 1 ゲート配線
- 3 6, 3 6 a, 7 0 c ゲート端子用透明電極
- 3 7, 3 7 a, 7 6 ゲート端子用開口
- 4 1, 4 1 a ドレイン端子用透明電極
- 4 2, 4 2 a ドレイン端子用開口
- 5 2, 1 0 1 ゲート配線

- 5 2 a, 5 2 b, 5 2 c    ゲート電極
- 5 3    ゲート絶縁膜
- 6 8, 7 9    金属導電層
- 7 1, 7 2, 8 1, 8 2    ソース・ドレイン電極
- 7 3, 7 4, 8 3, 8 4    オーミック層
- 8 6    液晶用開口
- 1 0 2    ドレイン配線
- 1 0 3, 1 0 3 a    静電保護回路
- 1 0 4    スイッチトランジスタ

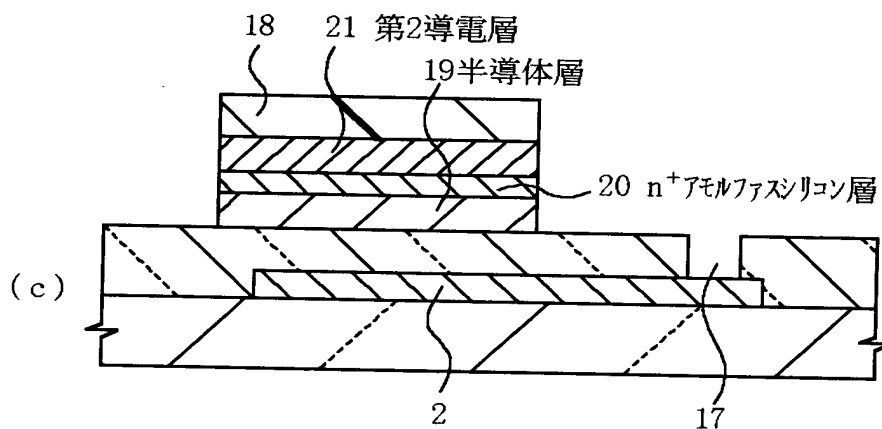
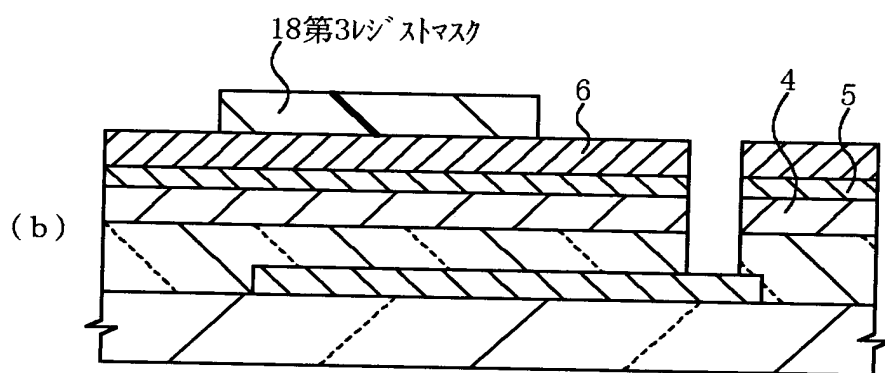
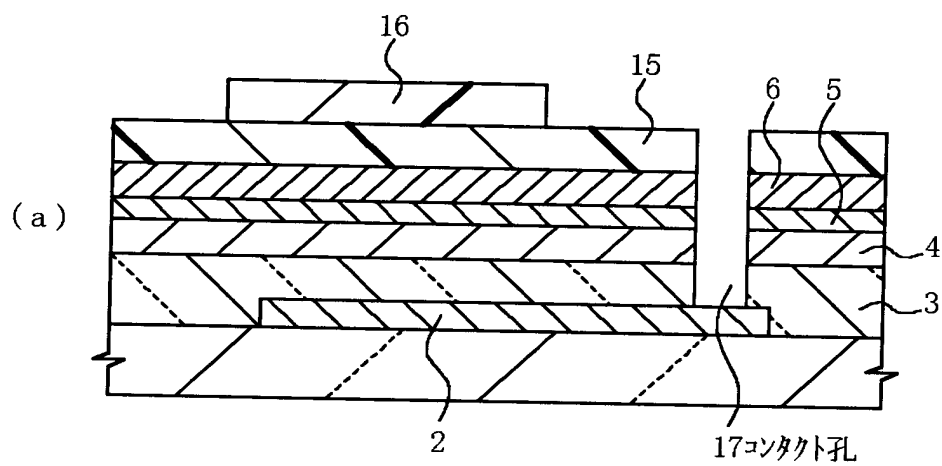


【書類名】 図面

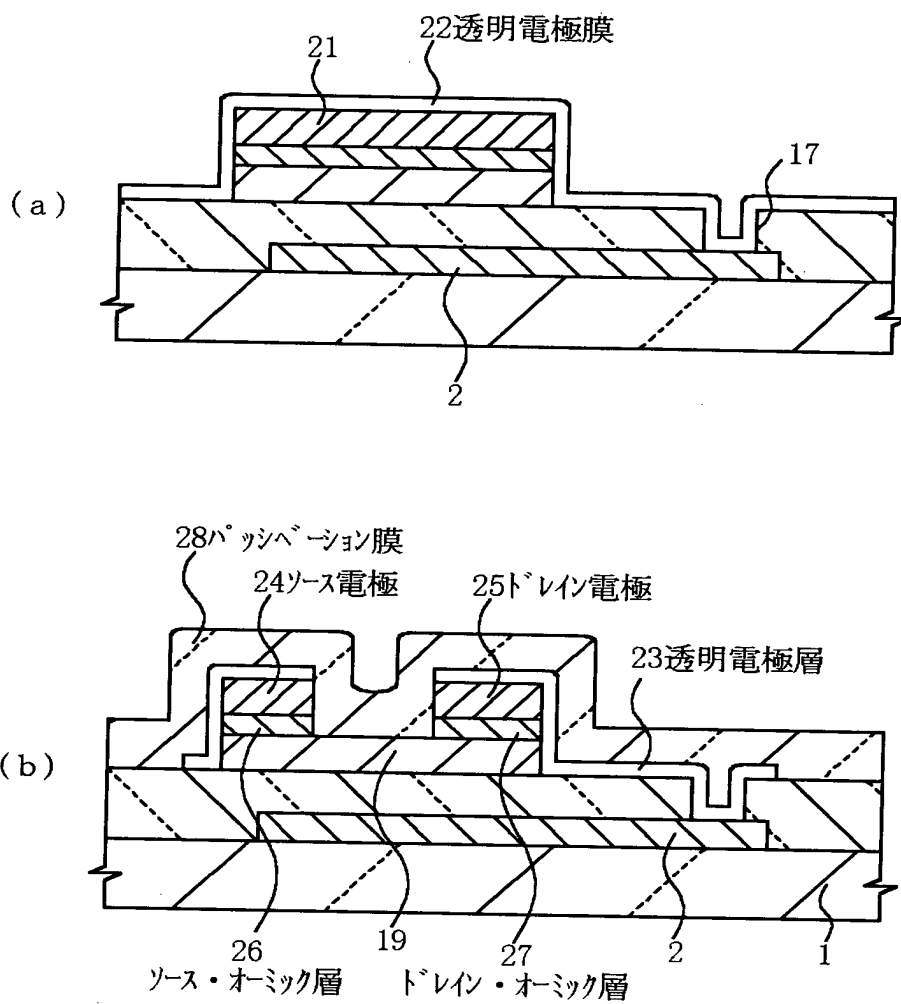
【図 1】



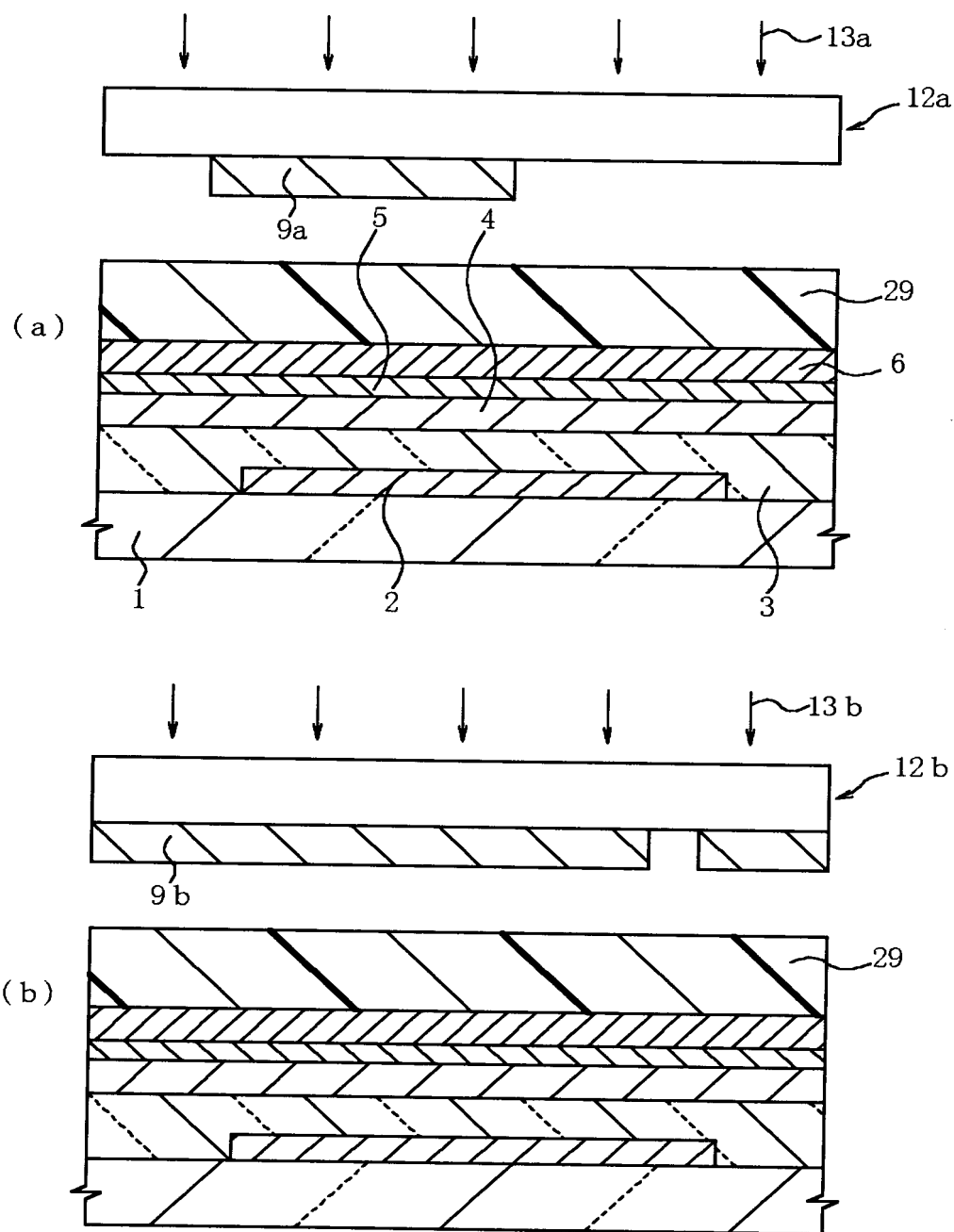
【図 2】



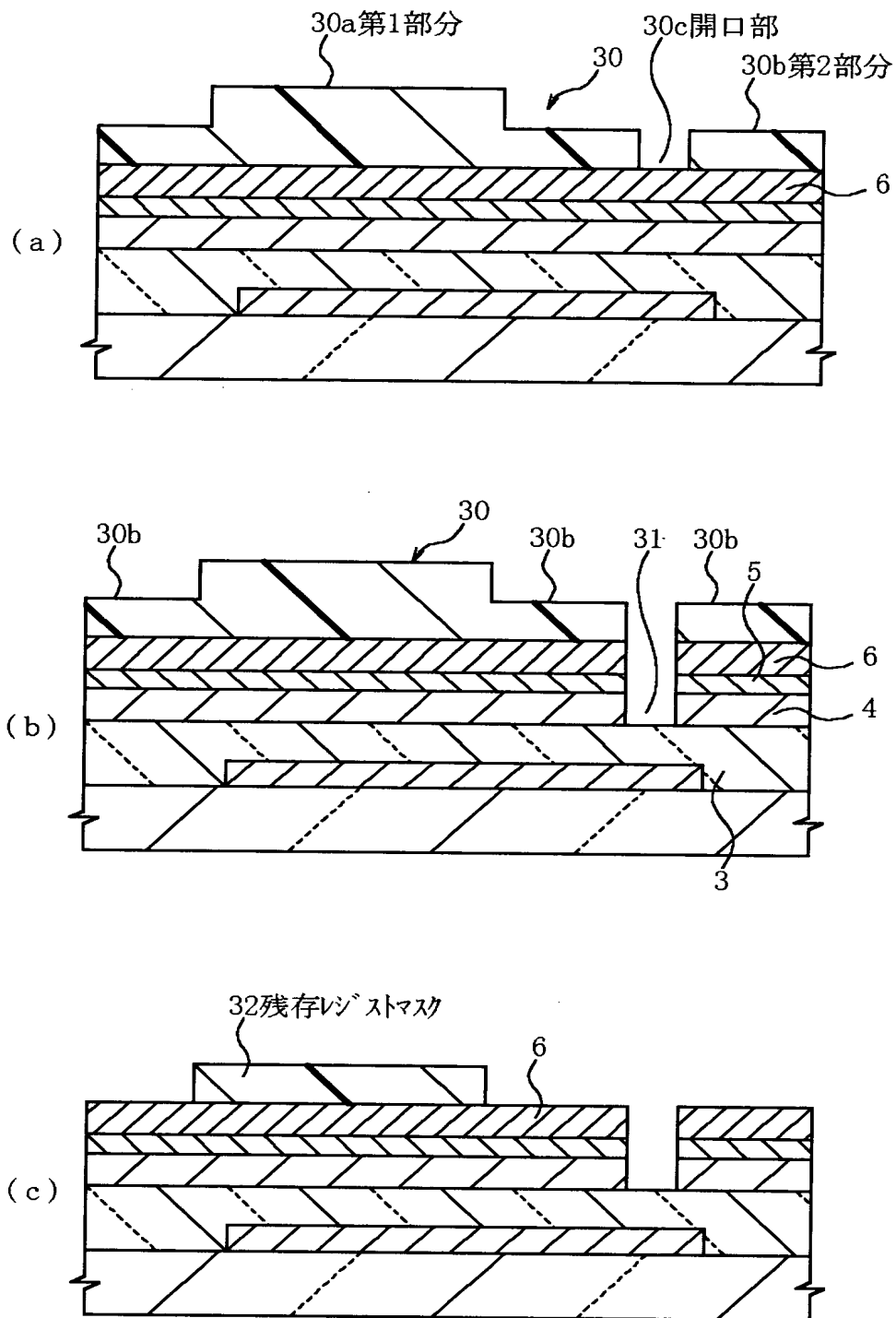
【図 3】



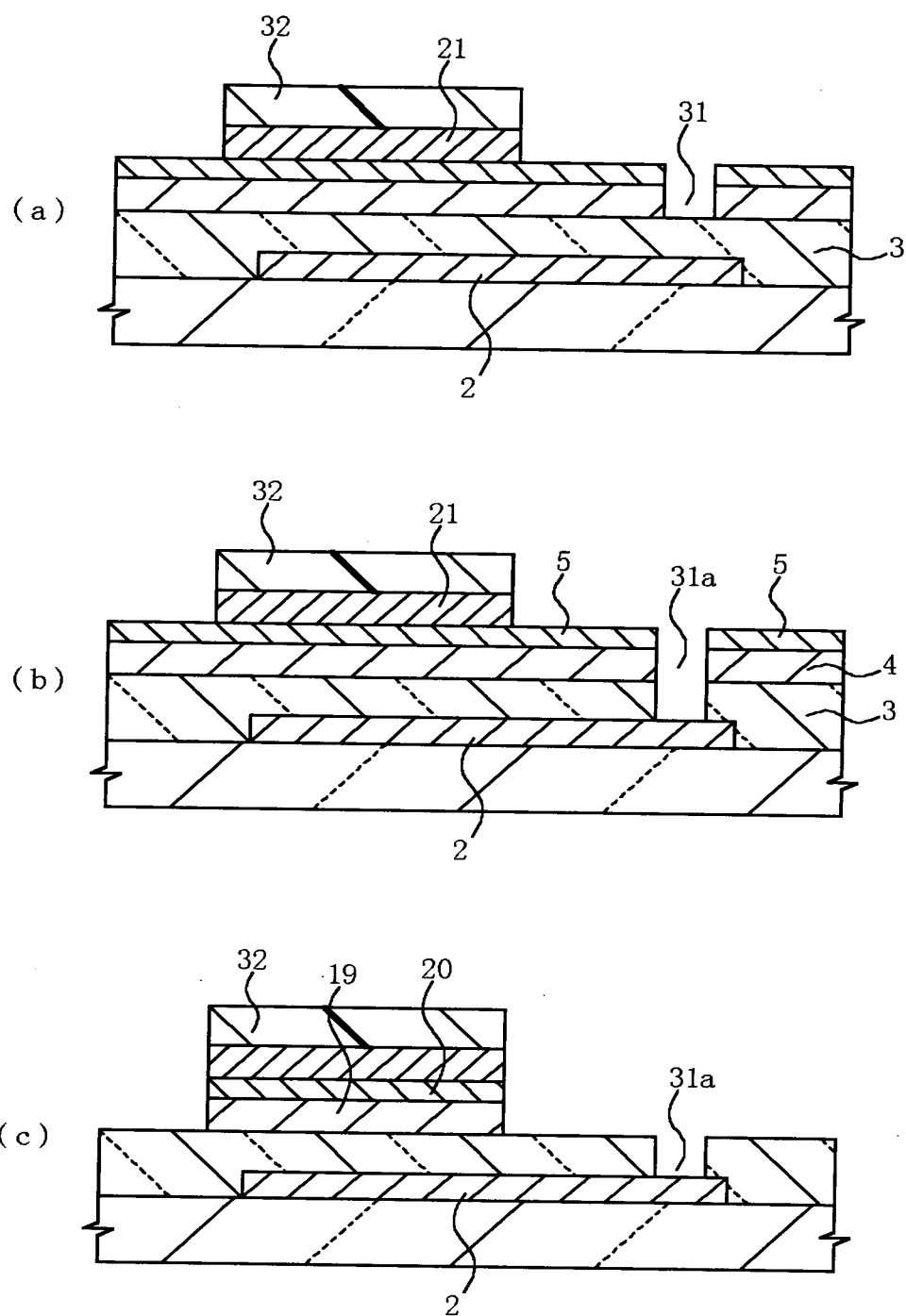
【図4】



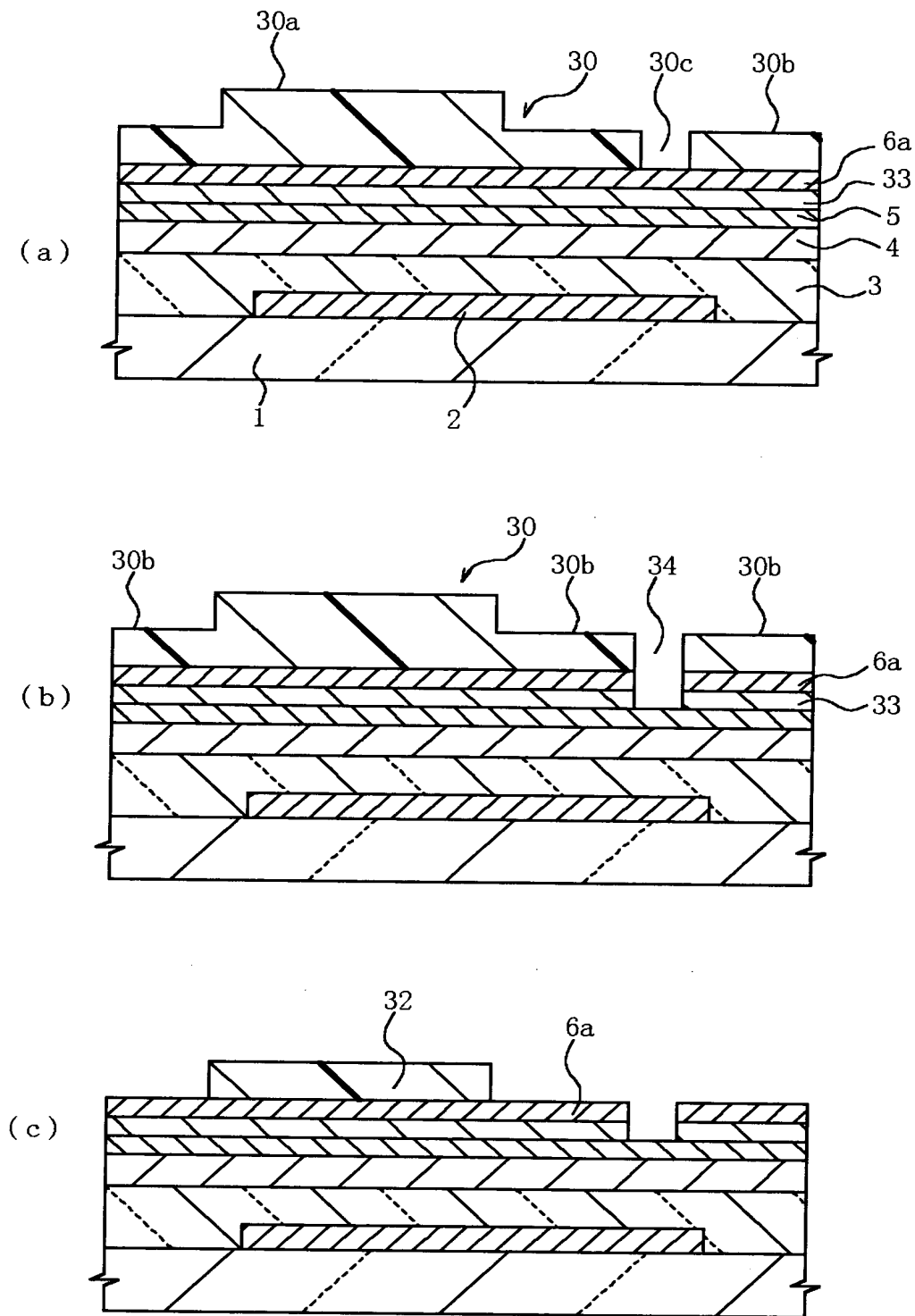
【図 5】



【図6】

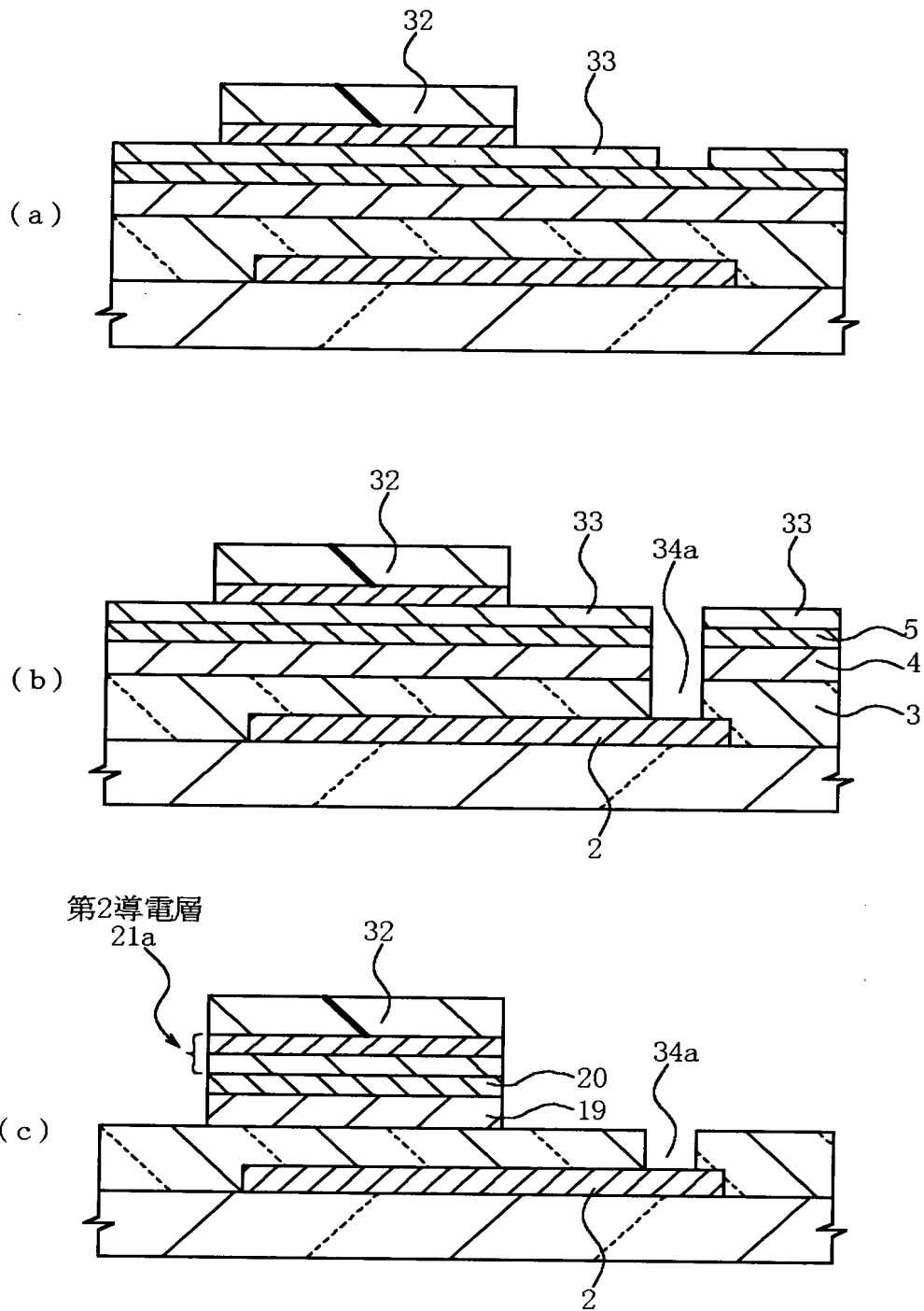


【図 7】



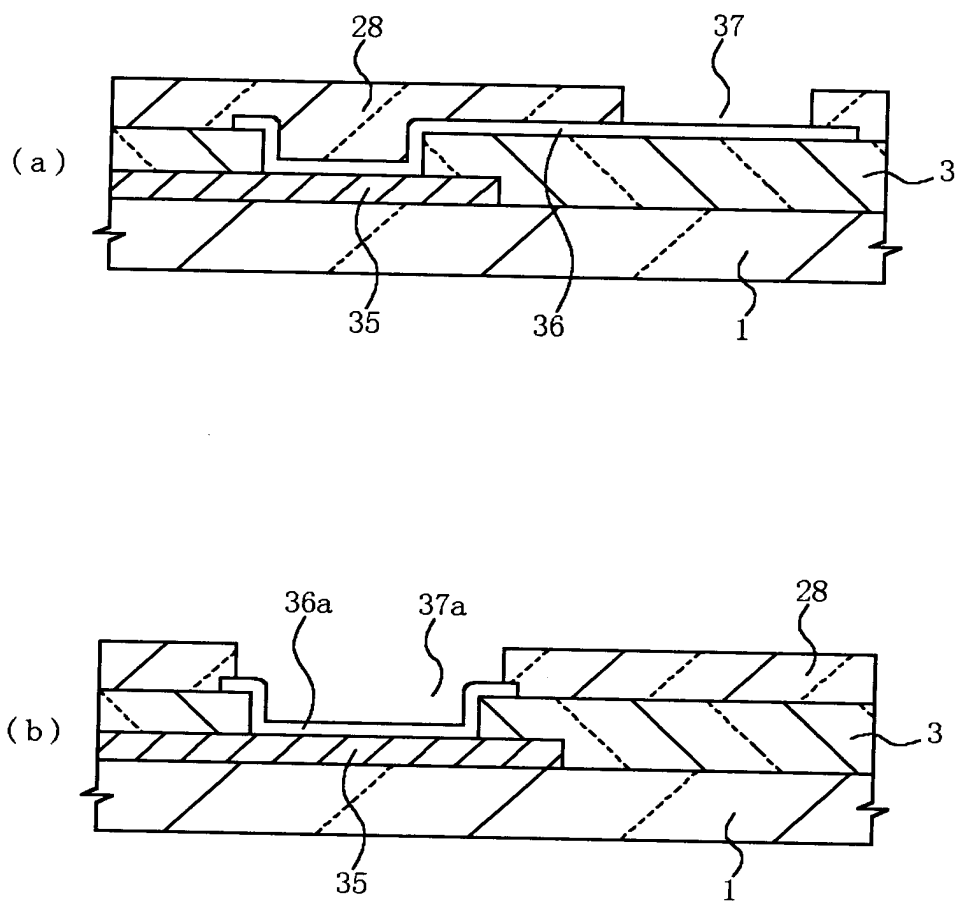
6a 金属導電膜  
33 保護導電膜

【図 8】

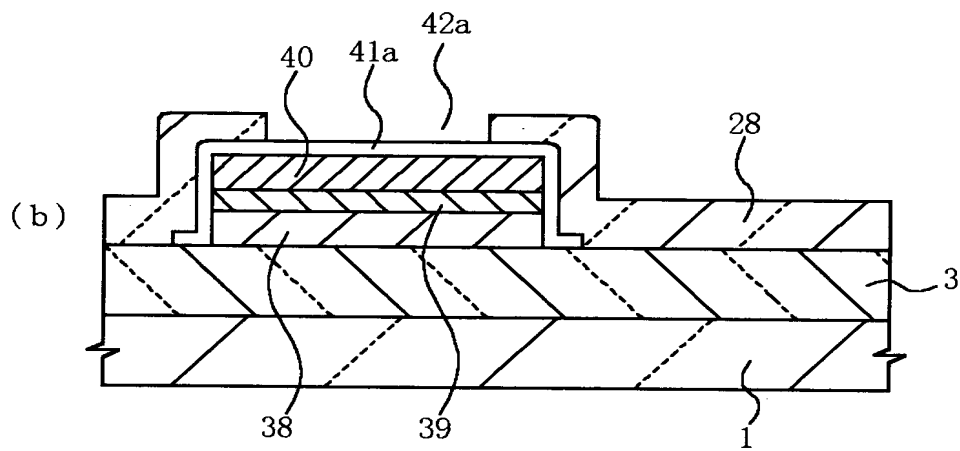
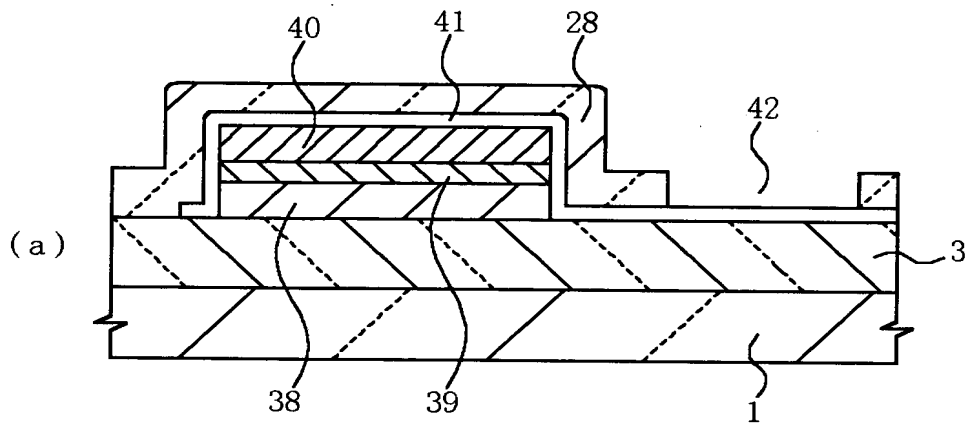




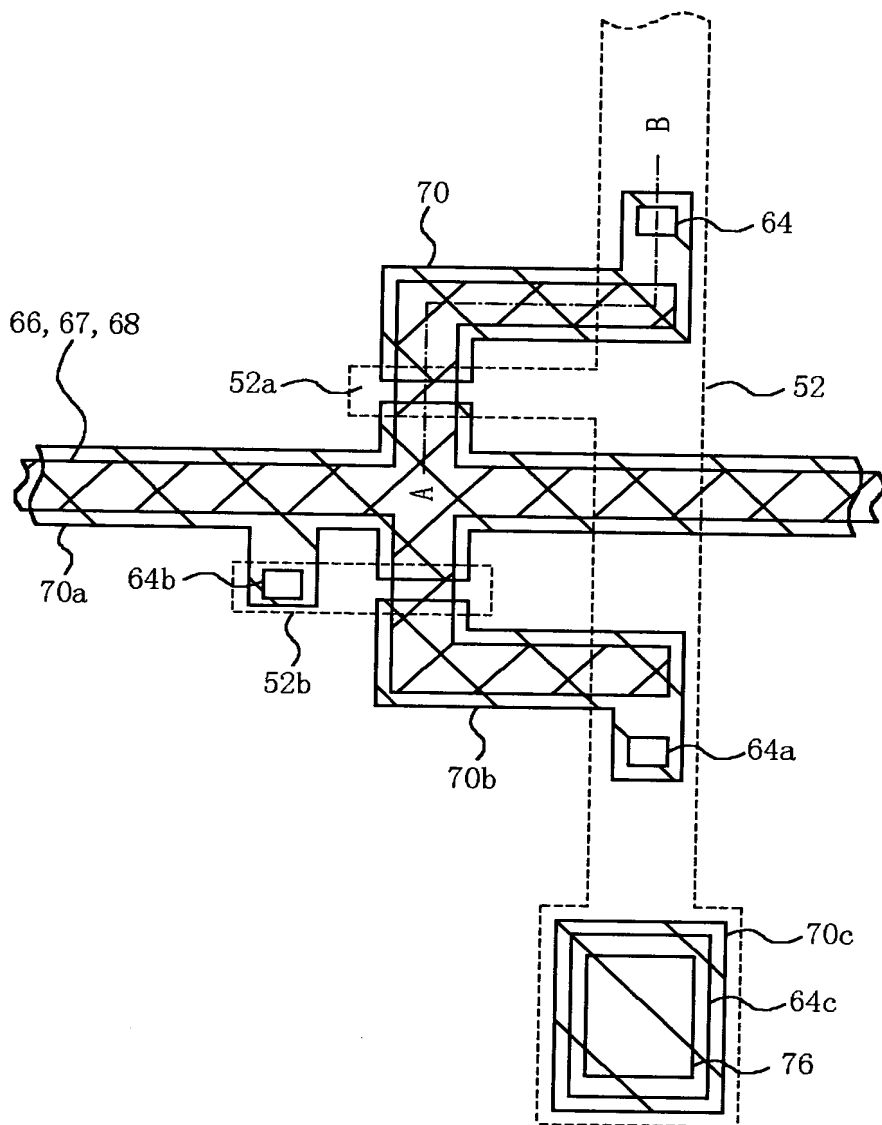
【図 9】



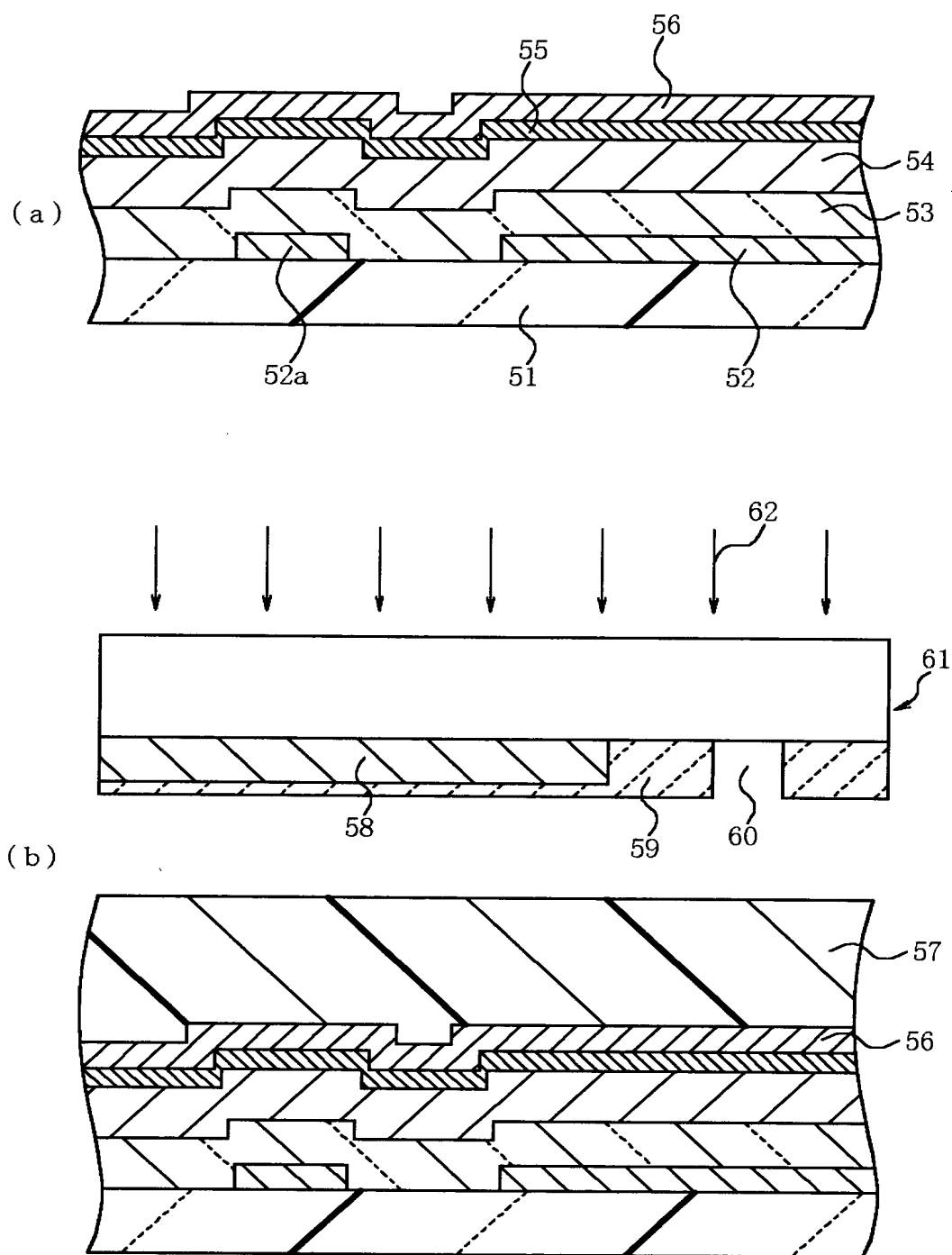
【図 1 0】



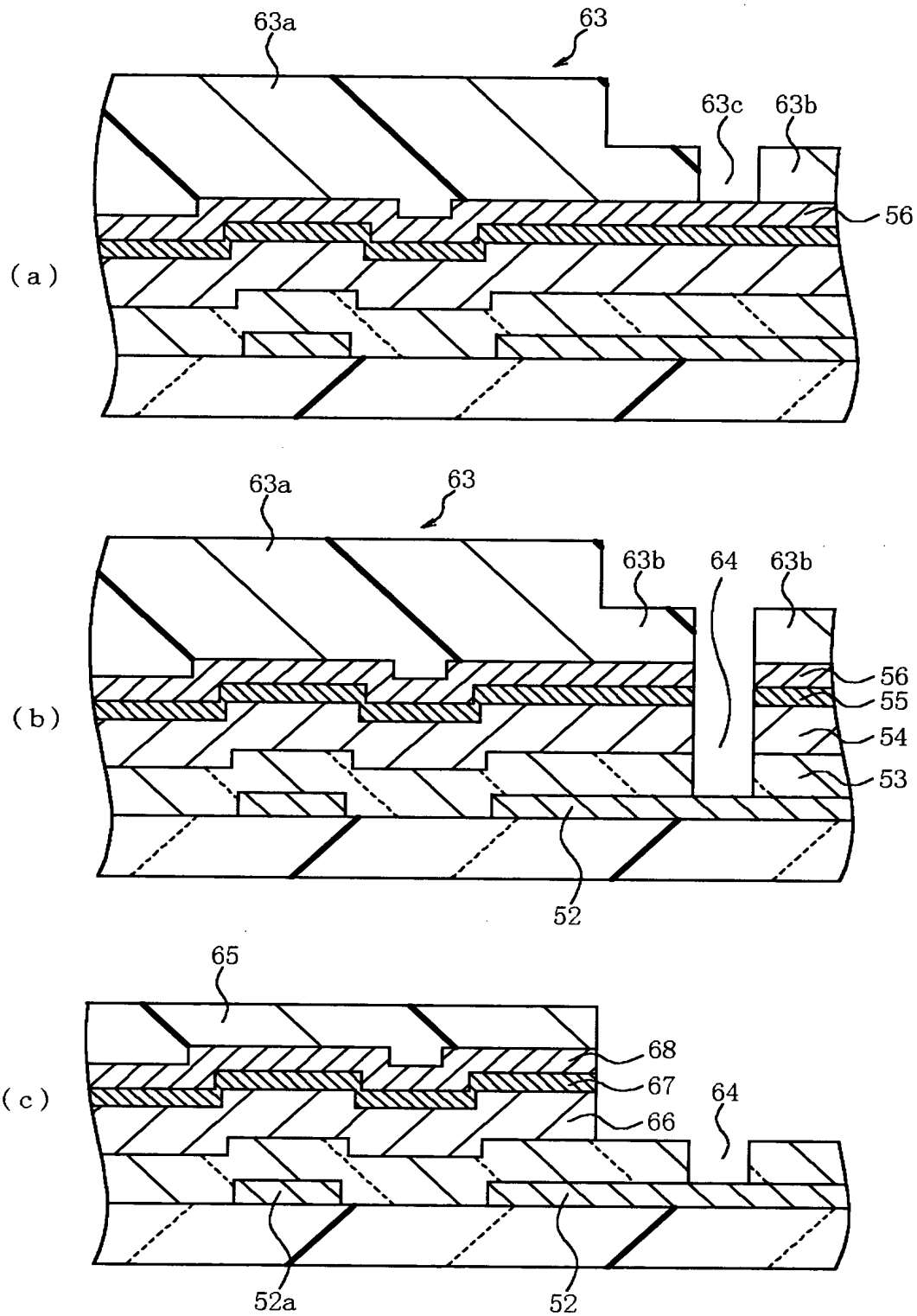
【図 11】



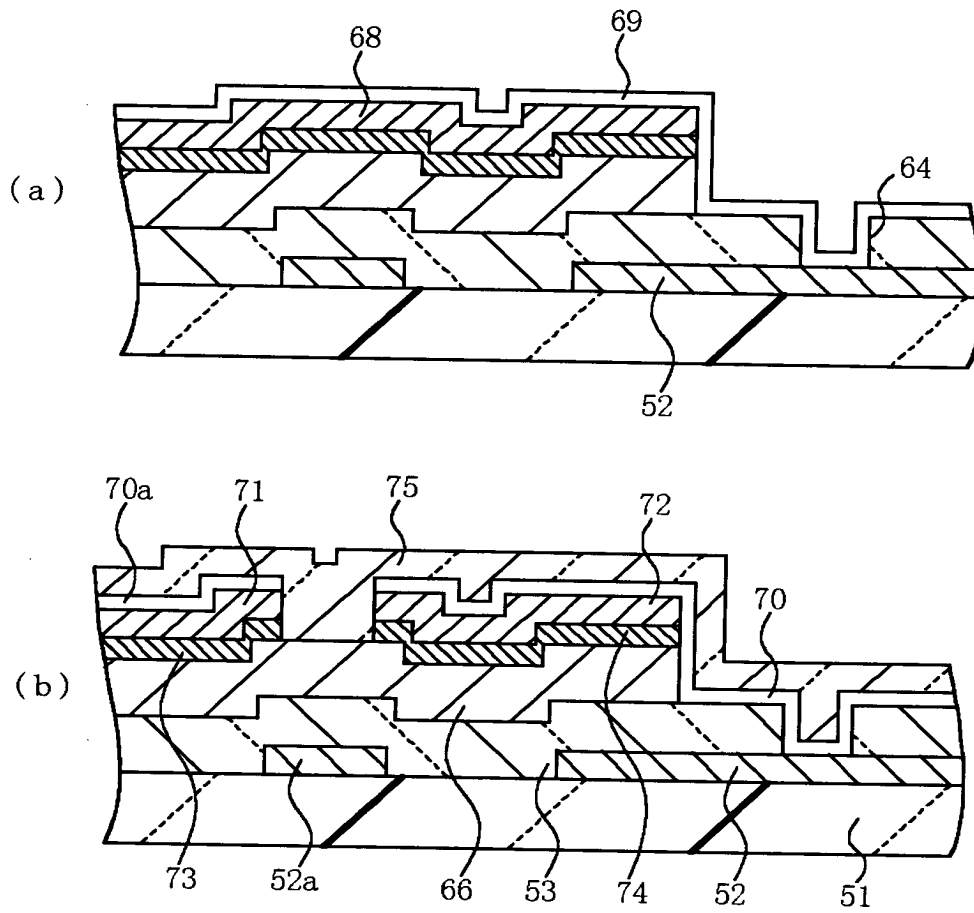
【図 1 2】



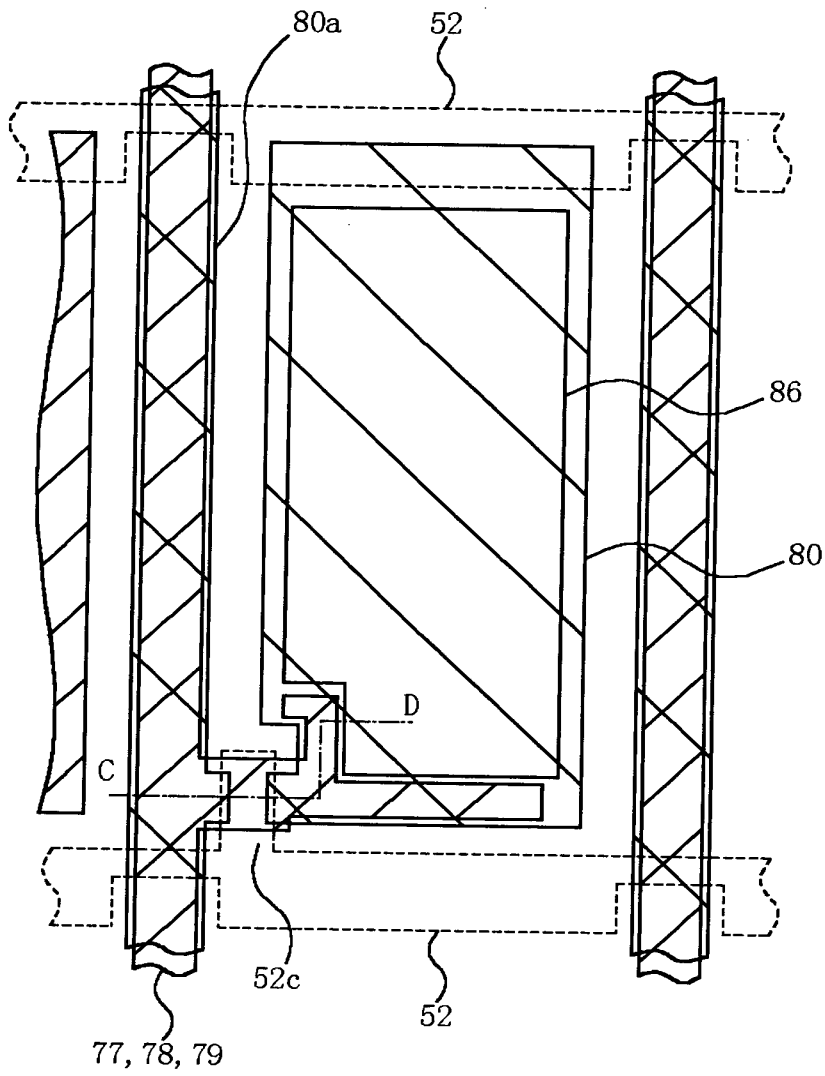
【図 13】



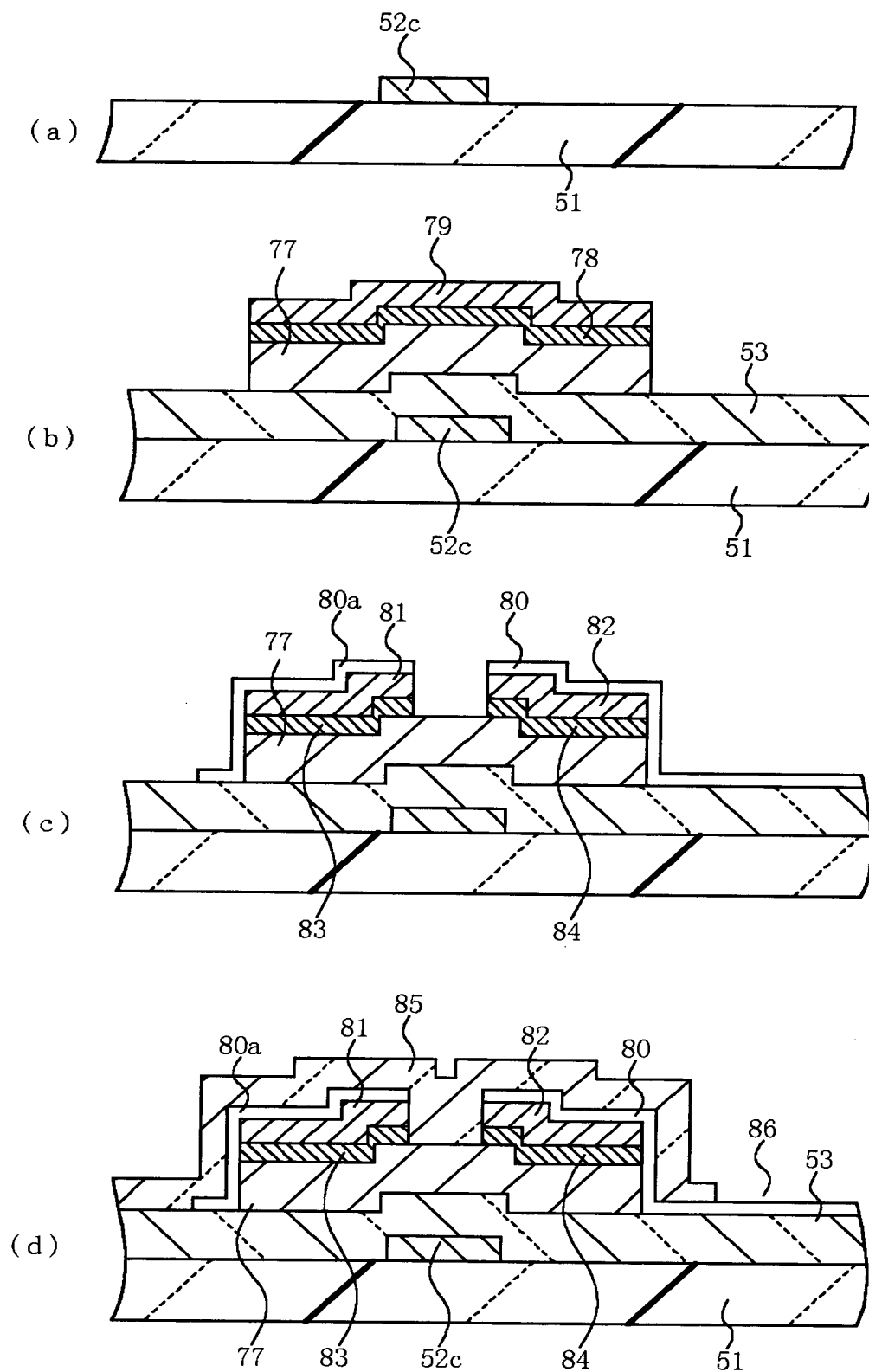
【図 1 4】



【図 1 5】

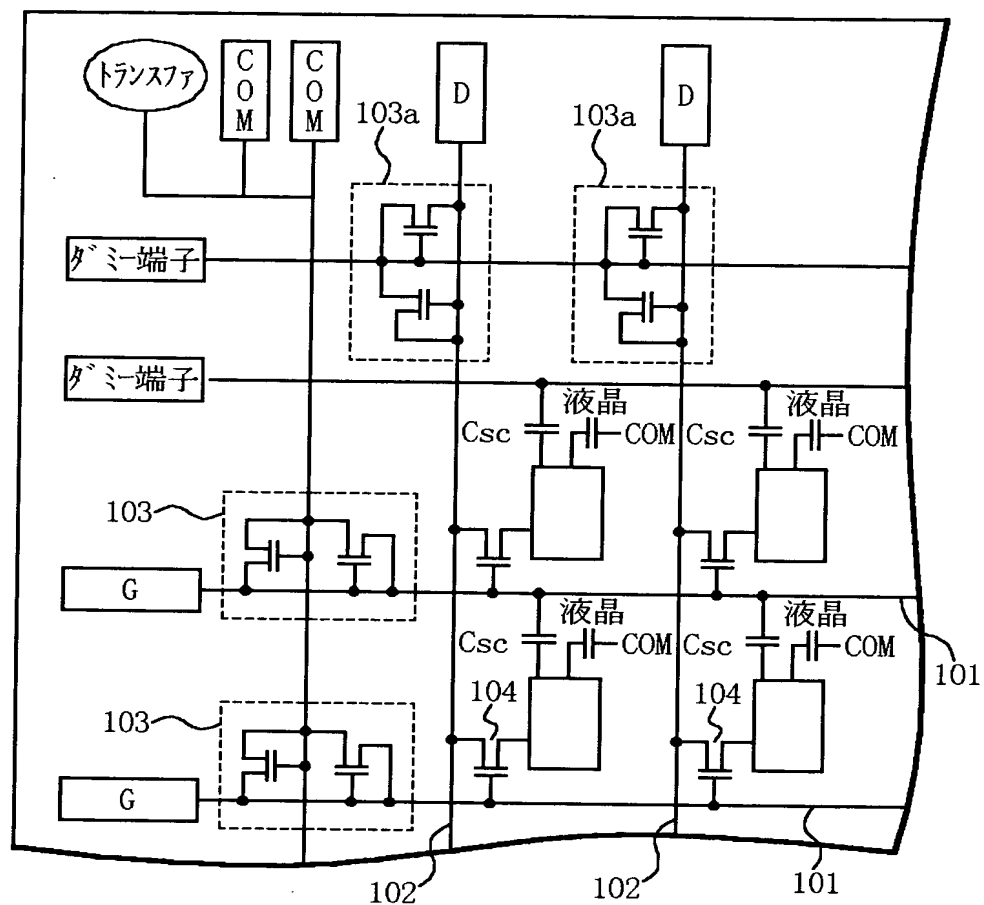


【図 1 6】

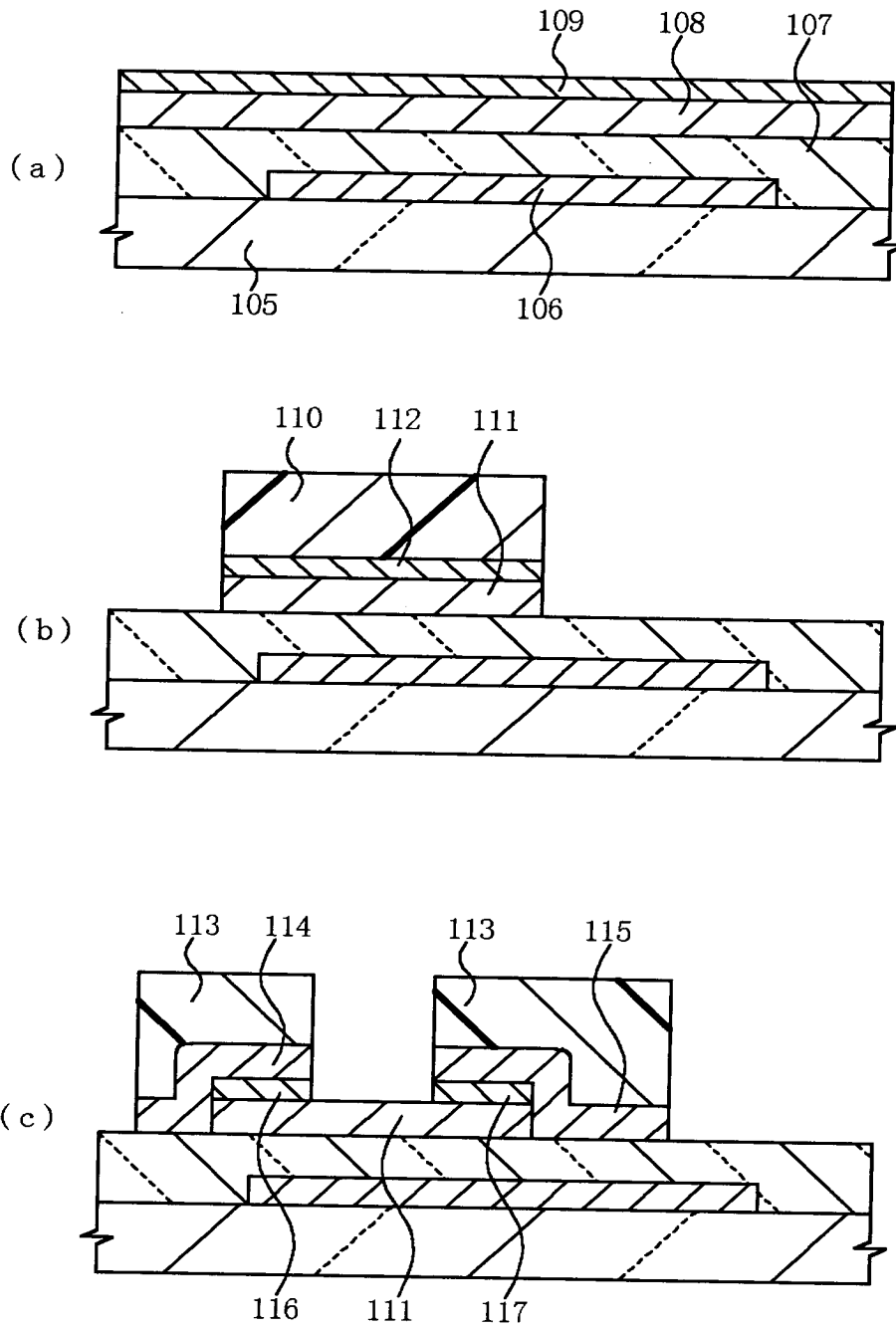




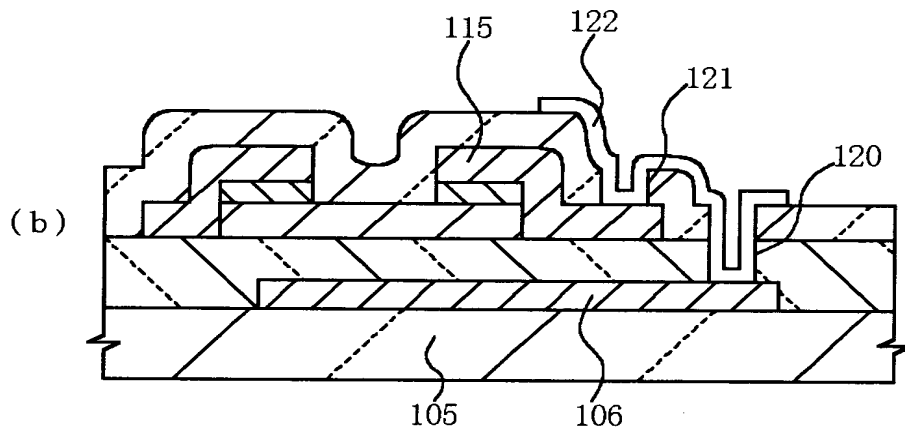
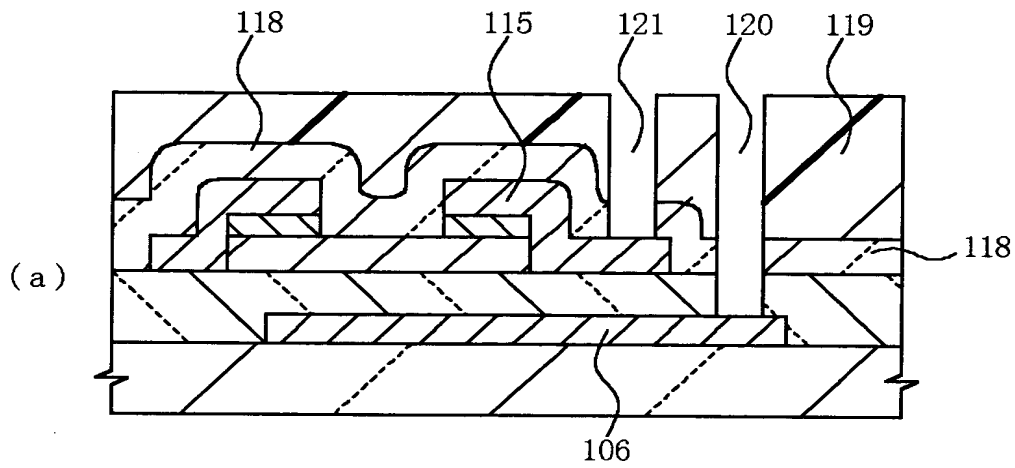
【図 17】



【図 1 8】



【図 19】



【書類名】 要約書

【要約】

【課題】 4 回のフォトリソ工程でもって、静電保護回路の搭載されたアクティブマトリクス基板を製造できるようにする。

【解決手段】 絶縁基板上に T F T を形成する方法であって、上記 T F T を構成する材料膜を絶縁膜基板上に積層して成膜する工程と、膜厚が互いに異なる複数の領域（開口部、第 1 レジストマスク 1 5、第 2 レジストマスク 1 6）を有するレジストパターンを上記材料膜の最上層にパターンニングして形成する工程と、上記レジストパターンをエッチングマスクにして積層した材料膜のうち複数の材料膜を加工する工程とを含む。この手法を用いることで、T F T のゲート電極のような下層の第 1 の導電層と、T F T のソース・ドレイン電極のような上層の第 2 の導電層とを接続するためのフォトリソグラフィ工程を短縮させる。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2000-209994
受付番号	50000872744
書類名	特許願
担当官	第二担当上席 0091
作成日	平成12年 7月12日

<認定情報・付加情報>

【提出日】	平成12年 7月11日
-------	-------------

出 願 人 履 歴 情 報

識別番号

[000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000181284]

1. 変更年月日 1990年 8月10日  
[変更理由] 新規登録  
住 所 鹿児島県出水市大野原町2080  
氏 名 鹿児島日本電気株式会社